

TRƯỜNG ĐẠI HỌC ĐÀ LẠT
KHOA VẬT LÝ



TÀI LIỆU HƯỚNG DẪN THỰC HÀNH
KỸ THUẬT ĐIỆN TỬ

Lê Văn Tùng

Lưu Hành Nội Bộ

2017

Mục lục

1	Linh Kiện Bán Dẫn	1
1.1	Diode	1
1.2	Light Emitting Diode	1
1.3	Zener Diode	2
1.4	DIAC	3
1.5	Transistor lưỡng cực (BJT)	4
1.6	Transistor trường FET (Field Effect Transistor)	7
2	Mạch Chỉnh Lưu, Lọc và Ổn Áp	9
2.1	Giới thiệu	9
2.2	Mạch chỉnh lưu - P5	9
2.3	Mạch chỉnh lưu toàn kỳ	10
2.4	Mạch chỉnh lưu cầu	10
2.5	Mạch lọc	11
2.6	Mạch nhân điện áp	12
2.7	Mạch ổn áp dùng diode Zener	13
2.8	Mạch ổn định dòng điện dùng IC LM317 - P6	14
2.9	Mạch ổn áp nối tiếp	14
2.10	Mạch ổn áp dùng IC 723	15
3	Khảo Sát Khuếch Đại Transistor	16
3.1	Giới thiệu	16
3.2	Mạch khuếch đại cực phát chung	16
3.3	Mạch khuếch đại mắc Cascode	17
3.4	Mạch khuếch đại cực nền chung	18
3.5	Mạch khuếch đại cực thu chung	19

4	Khuếch Đại Transistor Lớp A, B, C và Các Mạch Dao Động	20
4.1	Giới thiệu	20
4.2	Khuếch đại hồi tiếp dòng - P9	20
4.3	Mạch khuếch đại hồi tiếp áp	21
4.4	Mạch khuếch đại hạng A	22
4.5	Mạch khuếch đại hạng B	23
4.6	Mạch khuếch đại hạng C	24
4.7	Mạch dao động	24
5	Khuếch Đại Thuật Toán	28
5.1	Mạch khuếch đại đảo	28
5.2	Mạch khuếch đại không đảo	30
5.3	Mạch tích phân	32
5.4	Mạch vi phân	33
5.5	Mạch so sánh	33
5.6	Mạch phát xung	34
6	Cổng Cửa Luận Lý và Mạch Kết Hợp	36
6.1	Cổng cửa luận lý	36
6.2	Mạch tổ hợp	40
6.3	Flip-flop và ứng dụng - P13	41
6.4	Mạch đếm	43
6.5	Thanh ghi dịch	45
7	Chuyển Đổi Tín Hiệu	47
7.1	Mạch phân kênh và trộn kênh	47
7.2	Giải mã	49
7.3	Biến đổi tương tự - số (P26)	51

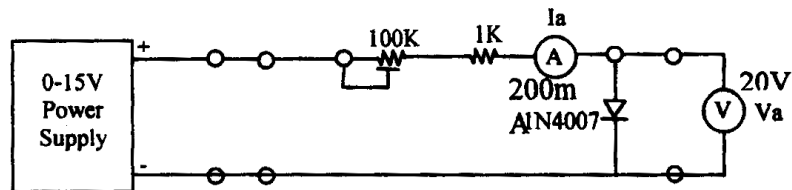
1

Linh Kiện Bán Dẫn

1.1 Diode

Quan sát ảnh hưởng của dòng điện qua Diode khi phân cực thuận và phân cực ngược. Vẽ đồ thị đặc tuyến vào, ra. Kiểm tra đặc tính dẫn điện của Diode bằng đồng hồ đo. Bộ mạch sử dụng trong bài mang ký hiệu P3.

Phân cực thuận: Nối mạch theo Hình 1.1. Quy trình thực hiện như sau:



Hình 1.1 Phân cực thuận cho diode

Nối dây: 15V(+)-1, 15V(COM)-2, 5-AM(+), 6-AM(-), 9-10, 3-VM(+), 4-VM(-)

Chú ý: VM (đồng hồ Volt meter), AM (đồng hồ Ampere meter), COM (GND dây đất chung), FG (Máy phát xung - Function generator), CRO (Oscilloscope), SW (Công tắc - Switch)

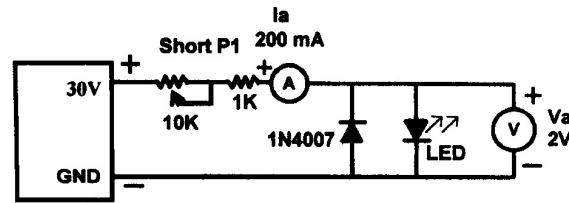
- Chỉnh biến trở ở vị trí nhỏ nhất, chỉnh nguồn cung cấp (nguồn 15V) ở vị trí nhỏ nhất.
- Bật nguồn Vcc sau đó thay đổi giá trị điện áp nguồn từng bước, quan sát và lập bảng.

$V_a(V)$	0,1	0,2	0,3	0,4	0,5	0,6	0,7	0,8
I_a								

1.2 Light Emitting Diode

Khảo sát hoạt động của diode phát quang (LED). Đây là một thiết bị quang điện có khác biệt so với các loại đèn khác: điện áp tiêu thụ nhỏ (dưới 3V), thời gian bật tắt ngắn. Dòng điện qua LED

trong khoảng 10mA – 50mA (tùy màu sắc) và chỉ hoạt động khi phân cực thuận. Nối mạch như Hình 1.2.



Hình 1.2 Khảo sát đèn LED

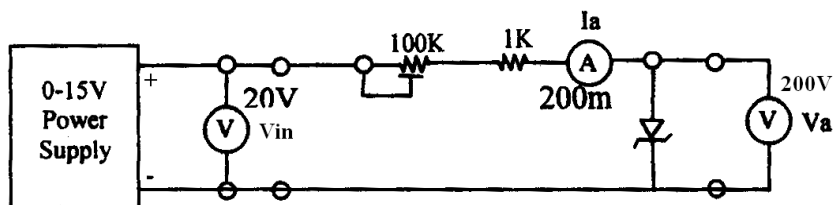
Nối dây: 30V(+)-1, 30V(COM)-2, AM(+)-5, AM(-)-6, 9-14, VM(+)-3, VM(-)-4

- Thay đổi dòng qua LED bằng cách thay đổi giá trị điện áp nguồn Vcc
- Quan sát điện áp rơi trên LED và lập bảng
- Từ số liệu trên vẽ đồ thị đặc tuyến V/A. Nhận xét.

$I_a(mA)$	0	5	10	15	20
V_a					

1.3 Zener Diode

Khảo sát hoạt động của diode Zener 5,1V/400mW.



Hình 1.3 Khảo sát Zener diode

Nối dây: 15V(+)-1, 15V(COM)-2, AM(+)-6, AM(-)-5, 9-12, VM2(+)-4, VM2(-)-3, VM1(+)-15V(+), VM1(-)-15V(COM)

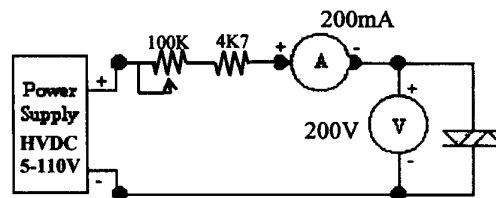
- Thay đổi giá trị điện áp vào, quan sát điện áp trên hai đầu Zener
- Phân cực thuận: Tăng dần điện áp vào V_i từ 0V lên dần tới tối đa 5V
- Phân cực nghịch: nối 15V(+)-2, 15V(COM)-1; các dây khác giữ nguyên và tăng dần điện áp vào V_i từ 0V lên dần tới tối đa 10V.
- Lập bảng (dùng đồng hồ để đo V_a)

- Vẽ đặc tuyến của diode zener dựa trên số liệu đo được. Nhận xét.

Phân cực thuận			Phân cực nghịch		
Vi(V)	Va(V)	Ia(mA)	Vi(V)	Va(V)	Ia(mA)
0			0		
1			1		
1,5			2		
2			3		
2,5			4		
3			5		
3,5			6		
4			7		
4,5			8		
5			9		
			10		

1.4 DIAC

Quan sát và vẽ đồ thị đặc tuyến cho DIAC khi phân cực thuận và nghịch.



Hình 1.4 Khảo sát DIAC

Nối dây: HVDC-1, GND-2, AM(+)-5, AM(-)-6, 9-13, VM(+)-3, VM(-)-4
HVDC là nguồn một chiều cao áp.

- Cấp nguồn HVDC 110V ở lõi vào, đặt biến trở P1 ở vị trí nhỏ nhất.
- Bật nguồn cung cấp, hiệu chỉnh điện áp lõi vào thay đổi từ 0 → 40V.
- Quan sát dòng ra I_0 và điện áp V_0 rồi lập bảng
- Vẽ đồ thị dòng và điện áp lõi ra theo điện áp vào Vi.
- Nhận xét, kết luận

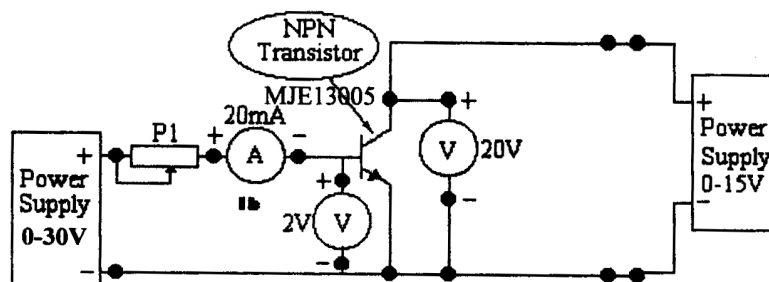
$V_i(V)$	$V_o(V)$	$I_o(mA)$
10		
20		
30		
35		
36		
37		
38		
40		

1.5 Transistor lưỡng cực (BJT)

Khảo sát đặc tuyến vào ra cơ bản của BJT

BJT mắc E chung

Loại NPN



Hình 1.5 Khảo sát BJT loại NPN

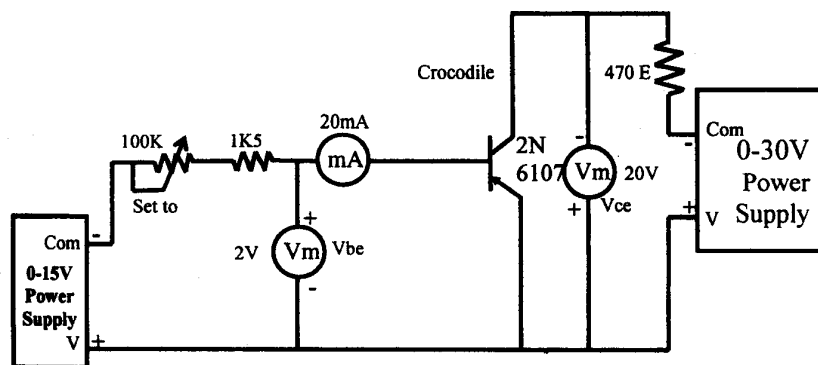
Nối dây: 15V(+)-32, 15V(COM)-50, 30V(+)-1, 30V(COM)-2, AM1(+)-5, AM1(-)-6, 9-20, 20-VM1(+), VM1(-)-41, 50-55, VM2(+)-32, VM2(-)-50.

Bật nguồn cung cấp, tiến hành các bước sau:

- Chỉnh nguồn 15V để V_{CE} lần lượt là 3V, 5V, 8V
- Chỉnh nguồn 30V để I_b giảm dần từ 8 đến 0,02mA
- Quan sát lối ra và lập bảng
- Vẽ đồ thị đặc tuyến I_b theo V_{BE} và V_{CE} , nhận xét.

I_b (mA)	V_{BE} khi $V_{CE} = 3V$	V_{BE} khi $V_{CE} = 5V$	V_{BE} khi $V_{CE} = 8V$
8			
7			
6			
4			
2			
1			
0,5			
0,3			
0,2			
0,1			
0,02			

Loại PNP



Hình 1.6 Khảo sát BJT loại PNP

Nối dây: 15V(+)-2, 15V(COM)-1, 5-AM(+), 21-AM(-), 30V(+)-41, 30V(COM)-33, VM1(+)-39, VM1(-)-33, VM2(+)-39, VM2(-)-21.

Giai đoạn 1:

- Bật nguồn cung cấp, đặt V_{CE} ở các giá trị lần lượt là 0,2V và 0,6V.
- Điều chỉnh nguồn 15V để I_b thay đổi từ 0A đến 0,9mA.
- Đo V_{BE} và lập bảng.

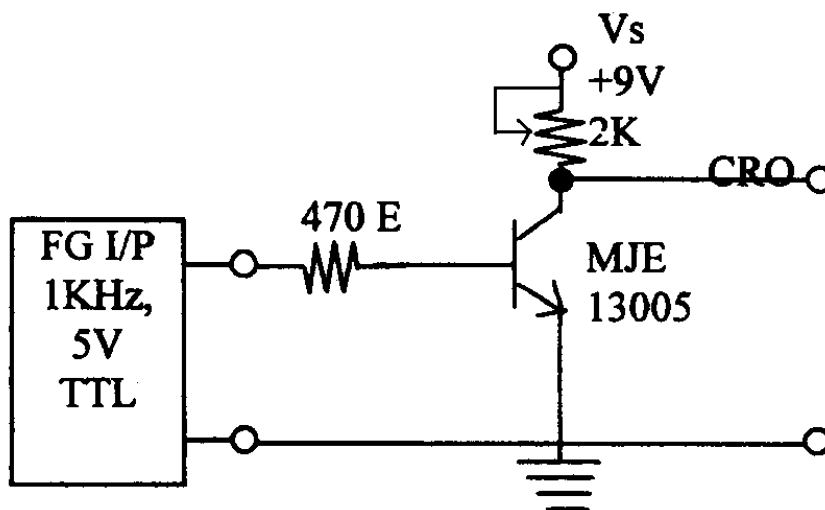
Giai đoạn 2:

- Chỉnh nguồn 15V để V_{CE} lần lượt là 3V, 5V, 8V

- Chỉnh nguồn 30V để I_b giảm dần từ 8 \rightarrow 0,02mA
- Quan sát lỗi ra và lập bảng
- Vẽ đồ thị đặc tuyến I_b theo V_{BE} và V_{CE} , nhận xét.

I_b (mA)	V_{BE} khi $V_{CE} = 0,2V$	V_{BE} khi $V_{CE} = 0,6V$
0		
0,05		
0,1		
0,2		
0,3		
0,4		
0,5		
0,6		
0,7		
0,8		

Mạch BJT chế độ khóa



Hình 1.7 Khảo sát BJT chế độ khóa

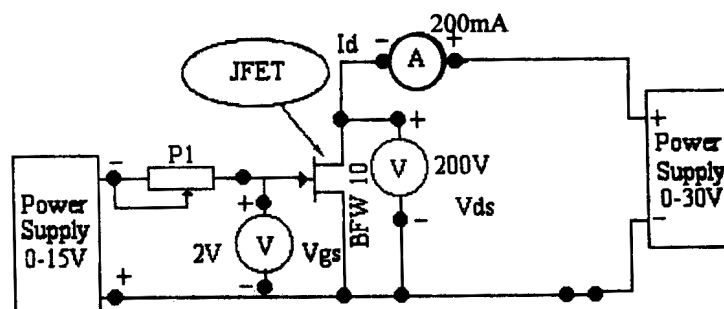
Nối dây: +15V-1, 15V(COM)-2, 5-32, FG(O/P)-42, FG(GND)-41, 43-20, CRO(CH1)-32, CRO(GND)-39, 39-50.

- Điều chỉnh biến trở để quan sát dạng sóng ngõ ra.

- Dạng sóng lỗi ra của mạch khuếch đại transistor có quan hệ với tín hiệu vào. Khi có tín hiệu vào, lỗi ra chưa có tín hiệu ra. Sau một thời gian nào đó lỗi ra mới có tín hiệu ra, thông thường thời gian này khoảng 10% thời gian mà trạng thái bão hòa đạt được. Thời gian tổng cộng bằng thời gian trễ cộng với thời gian dẫn.

1.6 Transistor trường FET (Field Effect Transistor)

Phân tích hoạt động của FET, sự phụ thuộc của dòng I_D vào V_{DS} , V_{GS} . Vẽ đặc tuyến vào ra của FET.



Hình 1.8 Khảo sát FET

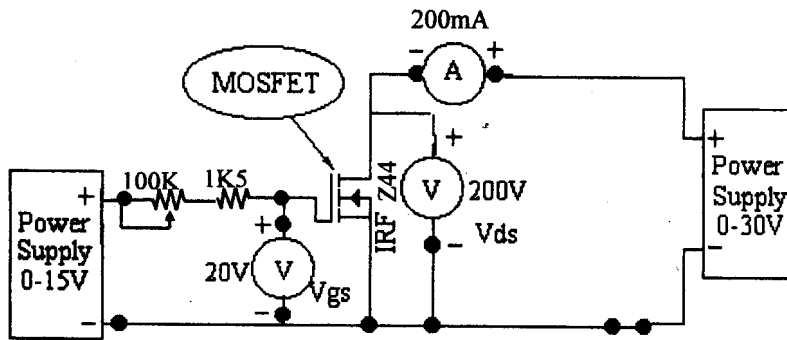
Nối dây: 15(V)-2, 15V(COM)-1, 18-45, 28-46, VM1(+)-3, VM1(-)-4, 5-6, AM(-)-29, AM(+)-30, 26-27, VM2(+)-38, VM2(-)-39, 30V(+)-40, 30V(COM)-41, 50-55.

- Bật nguồn cung cấp, đặt V_{GS} lần lượt ở các giá trị: 0V, -0,5V, -1,0V, -1,5V, -2,0V, -2,5V.
- Tăng giá trị V_{DS} quan sát dòng I_D và lập bảng.
- Vẽ đồ thị đặc tuyến lỗi ra, nhận xét.

$V_{GS}(V)$	0	-0,5	-1	-1,5	-2	-2,5
$V_{DS}(V)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$	$I_D(mA)$
1						
2						
3						
4						
5						
6						
7						

MOSFET - Metal Oxide Semiconductor FET

Khảo sát và vẽ đặc tuyến vào ra của MOSFET.



Hình 1.9 Khảo sát MOSFET

Nối dây: 15(V)-1, 15V(COM)-2, 5-6, VM1(+)-3, VM1(-)-4, 28-34, AM(+)-29, AM(-)-30, 18-22, VM2(+)-38, VM2(-)-39, 30V(+)-40, 30V(COM)-41, 26-27.

- Tìm điện áp ngưỡng cực G là điện áp khi $V_{DS} = V_{GS}$ và $I_D = 250\mu A$.
- Chỉnh 2 nguồn cung cấp ở vị trí cực tiểu, chưa bật nguồn
- Bật nguồn tăng từ từ 2 nguồn cung cấp tới khi I_D cỡ $250\mu A$
- Đọc giá trị V_{DS}, V_{GS} (tầm 3V)
- Đặt V_{GS} ở các giá trị 3,50V, 3,75V
- Thay đổi V_{DS} quan sát dòng I_D lập bảng
- Vẽ đồ thị đặc tuyến, nhận xét

$V_{DS}(V)$	Id khi $V_{GS} = 3,5V$	Id khi $V_{GS} = 3,75V$
0		
0,1		
0,15		
0,3		
1		
2,5		
5		

2

Mạch Chỉnh Lưu, Lọc và Ổn Áp

2.1 Giới thiệu

Tìm hiểu hoạt động và quan sát dạng sóng lỗi ra của các mạch ổn áp và ổn dòng cơ bản:

- Mạch chỉnh lưu nửa chu kỳ
- Mạch chỉnh lưu cả chu kỳ, chỉnh lưu cầu
- Mạch lọc
- Mạch nhân điện áp
- Mạch ổn áp song song dùng diode Zener
- Mạch ổn định dòng dùng IC

Chú ý: Bài thí nghiệm sử dụng nguồn xoay chiều 220V nên sinh viên cần tuân thủ những chỉ dẫn an toàn.

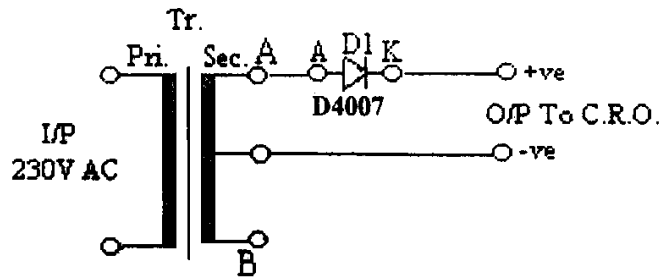
2.2 Mạch chỉnh lưu - P5

Xác định, kiểm tra mạch chỉnh lưu nửa bán kỳ và quan sát dạng sóng lỗi ra.

Nối dây: L-1, N-3, 2-6, CRO(I/P-CH1)-5, CRO(I/P-CH2)-7, 21-CRO(GND)

Thực hiện:

- Bật nguồn, quan sát dạng sóng lỗi ra dùng Oscilloscope: kênh 1 (CH1) quan sát tại chân Anode, kênh 2 (CH2) tại chân Cathode của Diode
- Vẽ dạng sóng vào, ra của mạch. Nhận xét.

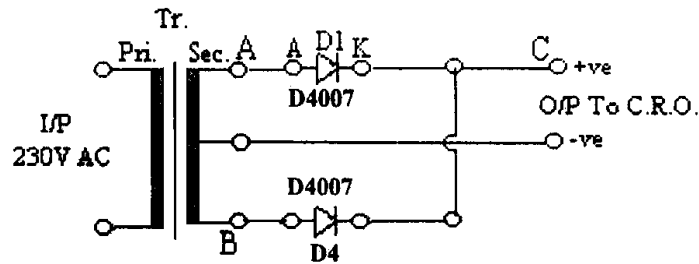


Hình 2.1 Mạch chỉnh lưu nửa bán kỳ

- Khi đo dạng sóng lồi ra của diode để chế độ đo của Osc là DC

2.3 Mạch chỉnh lưu toàn kỳ

Chỉnh lưu cả hai bán kỳ điện áp.



Hình 2.2 Mạch chỉnh lưu toàn kỳ

Nối dây: L-1, N-3, 2-6, 4-17, 7-19, CRO(I/P-CH1)-8, 21-CRO(GND)

Thực hiện:

- Bật nguồn, quan sát dạng sóng lồi ra dùng Osc.
- Vẽ dạng sóng vào, ra của mạch. Nhận xét.

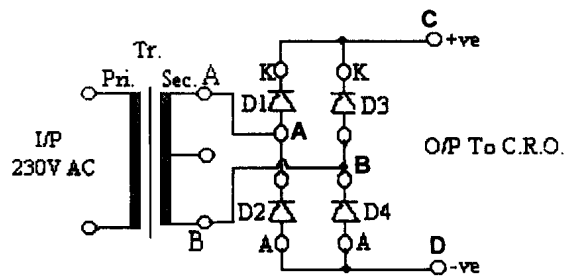
2.4 Mạch chỉnh lưu cầu

Mạch chỉnh lưu toàn sóng với số lượng diode và cách nối được thay đổi.

Nối dây: L-1, N-3, 2-5, 10-6, 4-15, 19-16, 11-18, 7-14, 6-CRO(I/P-CH1), 8-CRO(I/P-CH2), 17-CRO(GND).

Thực hiện:

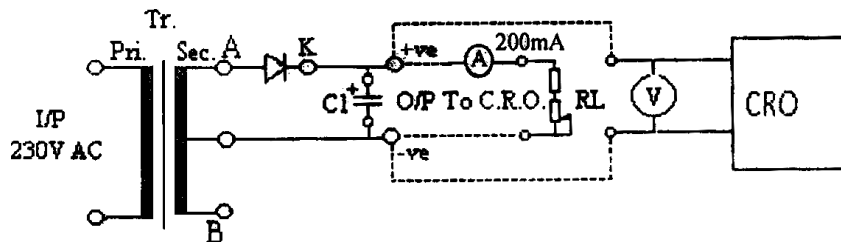
- Bật nguồn, quan sát dạng sóng lồi ra dùng Oscilloscope.
- Vẽ dạng sóng vào, ra của mạch. Nhận xét.



Hình 2.3 Mạch chỉnh lưu cầu

2.5 Mạch lọc

Kiểm tra sự thay đổi của nguồn điện sau khi xây dựng mạch lọc, quan sát dạng sóng vào ra của mạch.



Hình 2.4 Mạch lọc bằng tụ

Nối dây: L-1, N-3, 2-5, 7-52, 21-54, 50-AM(+), 56-AM(-), 55-60, 50-VM(+), 55-VM(-) (hoặc 50-CRO(I/P-CH1), 55-CRO(GND)).

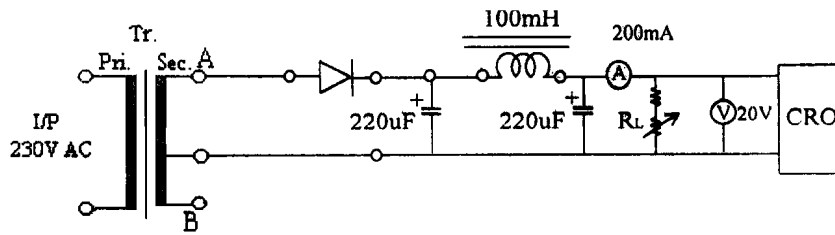
Thực hiện:

- Trước tiên ráp mạch chỉnh lưu nửa chu kỳ sau đó nối thêm tụ điện C sau mạch chỉnh lưu như hình vẽ.
- Thay đổi giá trị điện trở tải RL, quan sát dòng và điện áp lỗi ra lập bảng.

I_L (mA)	V_{out} (V)
0	
10	
20	
30	
40	
50	

Lập lại các bước như trên nhưng sử dụng cuộn cảm theo Hình 2.5.

Nối dây: L-1, N-3, 2-6, 7-52, 50-48, 49-51, 53-AM(+), AM(-)-56, 55-60, 57-58, 59-VM(+), 61-VM(-), 58-CRO(I/P-CH1), 60-CRO(GND), 21-54.



Hình 2.5 Mạch lọc dùng cuộn cảm

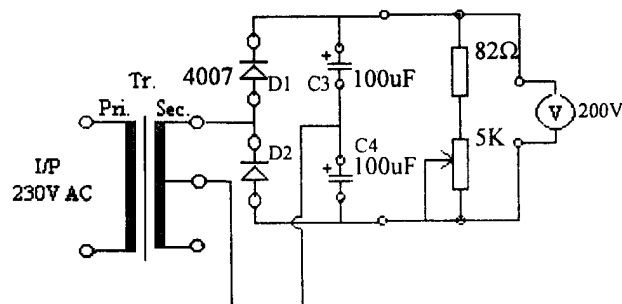
- Vẽ lại dạng sóng sóng lồi ra
- Thay đổi giá trị biến trở và lập bảng, nhận xét.

I_L (mA)	V_{out} (V)
0	
10	
20	
30	
40	
50	
60	
70	

Chú ý: Làm tương tự các bước trên (cả mạch lọc dùng tụ điện và cuộn dây) khi dùng mạch chỉnh lưu toàn kỳ và chỉnh lưu cầu.

2.6 Mạch nhân điện áp

Mạch nhân điện áp là mạch có điện áp lồi ra là bội số của điện áp lồi vào. Mạch nhân điện áp có thể lấy điện áp vào từ mạch chỉnh lưu nửa chu kỳ hay cả chu kỳ.

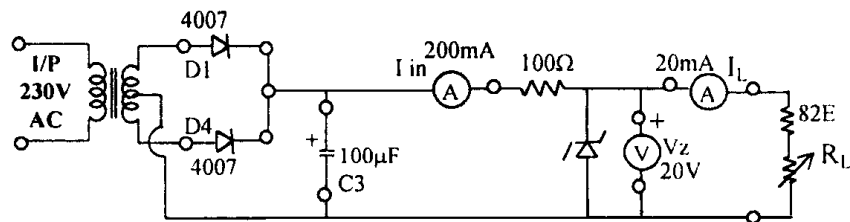


Hình 2.6 Mạch nhân điện áp

Nối dây: L – 1, N – 3, 6 – 10, 7 – 28, 32 – 29, 33 – 11, 2 – 5, 21 – 31, 8 – 56, 34 – 62, 58 – 57, 60 – 63, VM(+) – 59, VM(-) – 61.

- Bật nguồn, đọc biên độ điện áp lỗi ra trên đồng hồ
- Thay đổi giá trị biến trở, đọc và so sánh điện áp lỗi ra / lỗi vào, nhận xét.

2.7 Mạch ổn áp dùng diode Zener



Hình 2.7 Mạch ổn áp song song

Nối dây: L – 1, N – 3, 2 – 5, 7 – 19, 4 – 18, 20 – 28, 21 – 29, 27 – 43, VM(+) – 46, VM(-) – 62, 47 – AM(+), AM(-) – 56, 60 – 30, 63 – 22, 44 – AM(+), 45 – AM(-).

- Bật nguồn cung cấp
- Chưa nối tải RL ghi lại các giá trị V_i, I_i, V_Z (chế độ không tải)
- Nối tải vào mạch, thay đổi giá trị tải quan sát dòng I_L và điện áp trên Zener, lập bảng

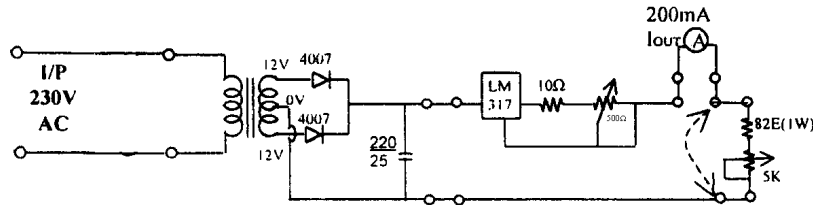
I_L (mA)	V_Z (V)
0	
5	
10	
15	
20	

Chú ý: Để đạt $I_L = 0$ thì cần tháo điện trở tải RL ra khỏi mạch.

- Vẽ đồ thị I_L theo V_Z
- Tính độ ổn định tải: $\frac{V_Z(I_L=0) - V_Z(I_L=20mA)}{V_Z(I_L=0)} \times 100\%$
- Nhận xét, kết luận.

2.8 Mạch ổn định dòng điện dùng IC LM317 - P6

Kiểm tra, khảo sát mạch ổn dòng dùng IC LM317, quan sát hoạt động và vẽ đặc tuyến dòng ra của mạch.

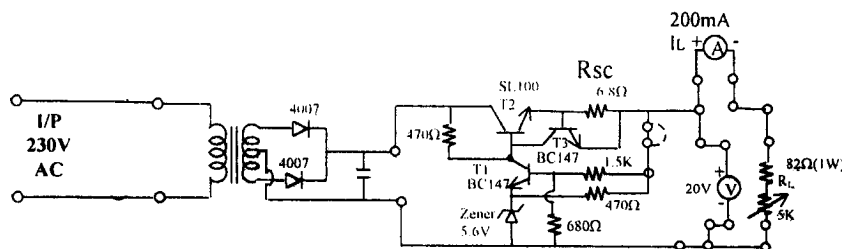


Hình 2.8 Mạch ổn định dòng điện

Nối dây: L – 21, N – 22, 15 – 13, 14 – 18, 17 – AM(+), AM(-) – 35, 39 – 20

- Bật nguồn cung cấp
- Đặt tải ở giá trị 500 Ohm, thay đổi biến trở ở các vị trí cực tiểu và cực đại, ghi lại giá trị dòng lồi ra quan sát được.
- Nhận xét, kết luận.

2.9 Mạch ổn áp nối tiếp



Hình 2.9 Mạch ổn áp nối tiếp

Nối dây: L – 21, N – 22, 13 – 1, 14 – 7, 3 – 9, 4 – 10, 5 – AM(+), AM(-) – 35, 12 – 39, VM(+) – 6, VM(-) – 12.

Thực hiện:

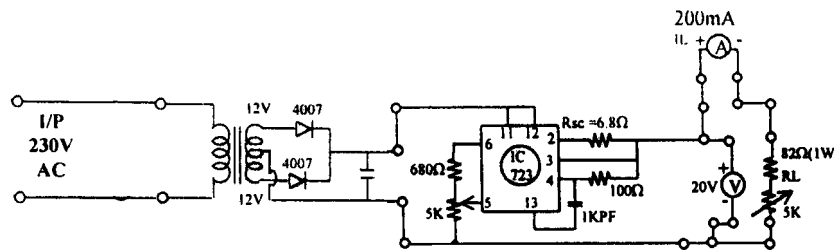
- Bật nguồn cung cấp
- Thay đổi giá trị điện trở tải RL để dòng qua tải thay đổi từ 0 → 80mA, quan sát điện áp lồi ra và lập bảng

$I_L(\text{mA})$	0	10	20	30	40	50	60	70	80
$V_Z(\text{V})$									

Chú ý: Để đạt $I_L = 0$ thì cần tháo điện trở tải RL ra khỏi mạch.

- Vẽ đồ thị V_{out} theo I_L
- Tính độ ổn áp $\frac{V_{out}(I_L=0) - V_{out}(I_L=80\text{mA})}{V_{out}(I_L=0)} \times 100\%$
- Nhận xét, kết luận

2.10 Mạch ổn áp dùng IC 723



Hình 2.10 Mạch ổn áp sử dụng IC

Nối dây: L – 21, N – 22, 13 – 23, 14 – 26, AM(+) – 24, AM(-) – 33, 39 – 28, VM(+) – 25, VM(-) – 27.

Mạch gồm một biến thế, bộ chỉnh lưu toàn sóng, bộ lọc để lấy nguồn điện, IC ổn áp có ngưỡng (điện áp ổn áp) thay đổi được bằng một biến trở ở chân 6, điện trở chân 4 có tác dụng bảo vệ khi mạch quá tải. Một điện trở R_{SC} ở lối ra được dùng để tải cho IC.

Thực hiện:

- Bật nguồn cung cấp
- Điều chỉnh biến trở đặt V_{out} ở chế độ không tải là 5V (đặt mức ổn áp là 5V)
- Thay đổi dòng I_L qua tải quan sát V_{out} và lập bảng
- Tính độ ổn áp của mạch
- Nhận xét, kết luận.

$I_L(\text{mA})$	5	10	20	30	40	45
$V_Z(\text{V})$						

3

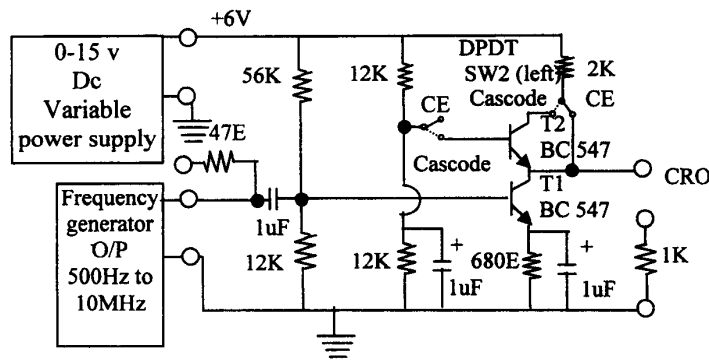
Khảo Sát Khuếch Đại Transistor

3.1 Giới thiệu

Bài thí nghiệm khảo sát đặc tính và các chế độ khuếch đại cũng như các mạch khuếch đại ghép tầng của transistor. Bài gồm các phần sau: khuếch đại CE, khuếch đại CB, khuếch đại CC

3.2 Mạch khuếch đại cực phát chung

Mạch khuếch đại transistor mắc E chung có chân E nối đất, tín hiệu vào chân B ra chân C, mạch được sử dụng rộng rãi vì có nhiều tính năng và hữu ích hơn so với mạch CC, CB. Chúng ta sẽ lần lượt khảo sát việc đo trở kháng vào ra, độ lợi, băng thông và đáp ứng tần số của mạch CE.



Hình 3.1 Mạch khuếch đại EC

Nối dây: 15V(+)-6, 15V(COM)-7, FG(O/P)-8, FG(GND)-9, CRO(I/P-CH1)-10, CRO(GND)-11.

Thực hiện:

- Giữ Switch ở vị trí bên trái (chế độ CE)

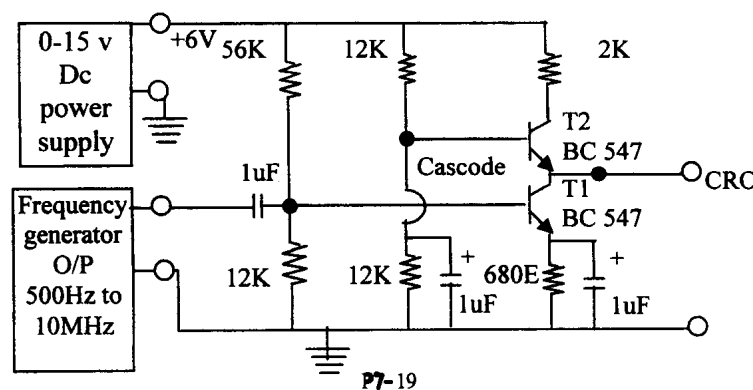
- Bật nguồn cung cấp, đặt $V_{CE} = 6V$, tạm thời đưa tín hiệu Sin (1 KHz, 150mVpp) lỗi vào, quan sát lỗi ra trên Osc và điều chỉnh mức tín hiệu vào lớn nhất có thể mà lỗi ra không bị sai dạng.
- Vẽ lại dạng sóng vào, ra và tính độ lợi G.
- Vẽ đồ thị đáp ứng tần số của mạch, tính băng thông cho mạch. Nhận xét, kết luận.

Xác định đáp ứng tần số: Dãy đáp ứng tần số của của mạch khuếch đại là khoảng tần số thay đổi cho phép của tín hiệu vào mà mạch vẫn hoạt động đúng và có tín hiệu lỗi ra. Giữ tín hiệu vào có biên độ không đổi 350 mVpp, thay đổi tần số từ 500Hz ÷ 400KHz ghi lại các giá trị V_{out} đo được và lập bảng.

$f(KHz)$	0,5	1	2	5	7	10	15	20	30	40	100
$V_{out} (V_{pp})$											

3.3 Mạch khuếch đại mắc Cascode

Mạch khuếch đại Cascode có hệ số khuếch đại điện áp thấp, tổng trở vào lớn, mạch hoạt động tốt ở tần số cao do cách mắc khử được ảnh hưởng của hiệu ứng Miller đến các thông số của mạch.



Hình 3.2 Mạch khuếch đại Cascode

Nối dây: 15V(+)-6, 15V(COM)-7, FG(O/P)-8, FG(GND)-9, CRO(I/P-CH1)-10, CRO(GND)-11.

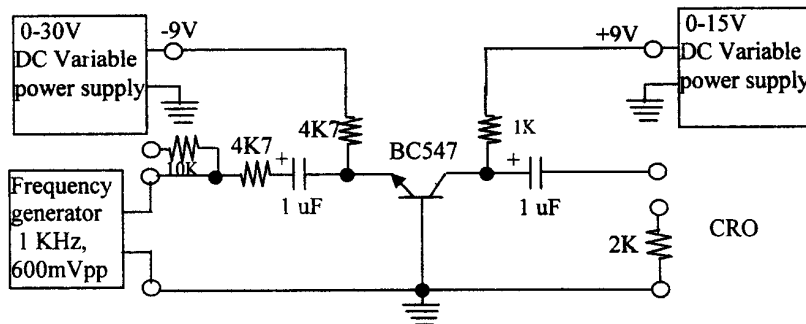
Thực hiện:

- Bật Switch sang vị trí Cascode
- Tiến hành các bước tương tự như bài trên: Vì là tín hiệu Sin (40mVpp, 1 KHz).
- Vẽ lại dạng sóng vào, ra và tính độ lợi G.

- Khảo sát đáp ứng tần số của mạch khi f thay đổi từ 500Hz ÷ 1MHz, vẽ đặc tuyến đáp ứng tần số, xác định băng thông của mạch. Nhận xét, kết luận.

3.4 Mạch khuếch đại cực nền chung

Mạch khuếch đại CB có tổng trở vào thấp tổng trở ra cao, độ lợi đủ lớn, khi mạch hoạt động ở chế độ khuếch đại có mối nối E-B phân cực thuận, C-B phân cực ngược, tín hiệu được đưa vào chân E và ra chân C. Mạch CB có một số ứng dụng như: Phối hợp trở kháng khi nguồn tín hiệu vào có tổng trở lớn và điều khiển tải ra lớn, các mạch khuếch đại đảo pha, ngoài ra nó cũng được sử dụng như là nguồn dòng.



Hình 3.3 Mạch khuếch đại CB

Nối dây: 15V(+)-37, 15V(COM)-30V(+), 15V(COM)-38, 30V(COM)-39, FG(O/P)-40, FG(GND)-47, CRO(I/P-CH1)-45, CRO(GND)-48.

Thực hiện:

- Bật nguồn
- Đặt tín hiệu vào hình Sin (1KHz, 0,6Vpp) sau đó thay đổi biên độ lớn nhất có thể mà tín hiệu ra chưa bị méo dạng ($V_{in} = 0,84V$). Lập bảng.
- Vẽ lại dạng sóng vào, ra và tính độ lợi G cho mỗi trường hợp. Nhận xét.
- Xác định đáp ứng tần số của mạch: Giữ biên độ tín hiệu vào $V_i = 0,6Vpp$; thay đổi tần số từ 500Hz → 900KHz
- Vẽ đồ thị đáp ứng tần số của mạch, tìm băng thông, nhận xét.

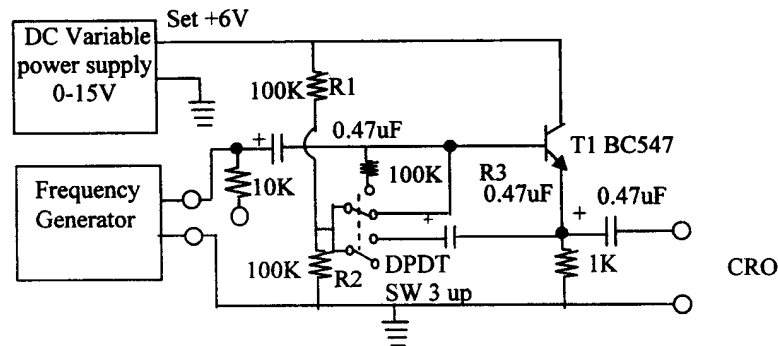
Vo khi nối vào bỏ qua R 10K	Vo khi nối vào nối tiếp R 10K

Vo không tải đầu vào bỏ qua R 10K	Vo không tải đầu vào nối R 10K	Vo lỗi ra gắn tải R 2K đầu vào bỏ qua R 10K	Vo lỗi ra gắn tải R 2K đầu vào nối R 10K

$f(KHz)$	0,5	0,6	0,7	0,8	1	1,2	1,5	1,8	2	3
$V_{out} (V_{pp})$										
$f(KHz)$	10	12	100	300	400	500	600	700	800	900
$V_{out} (V_{pp})$										

3.5 Mạch khuếch đại cực thu chung

Mạch khuếch đại transistor mắc CC có hệ số khuếch đại điện áp bằng 1, trở kháng vào cao, trở kháng ra thấp (so với mạch CE, CB). Mạch khuếch đại loại này thường được sử dụng làm bộ đệm giữa lối tín hiệu lối vào có trở kháng cao và tải lối ra có trở kháng thấp, độ lợi AV bằng độ lợi đơn vị, điện áp vào cực B bằng điện áp rơi trên cực E.



Hình 3.4 Mạch khuếch đại CC

Nối dây: 15V(+)-13, 15V(COM)-14, FG(O/P)-15, FG(GND)-16, CRO(I/P-CH1)-17, CRO(GND)-18, SW3-UP.

Thực hiện:

- Đặt Vi là tín hiệu Sin (1 KHz, 3Vpp) sau đó chỉnh biên độ tín hiệu vào lớn nhất mà tín hiệu lối ra không bị méo dạng.
- Tiến hành các bước tương tự như bài trên
- Tìm đáp ứng tần số của mạch khuếch đại.

4

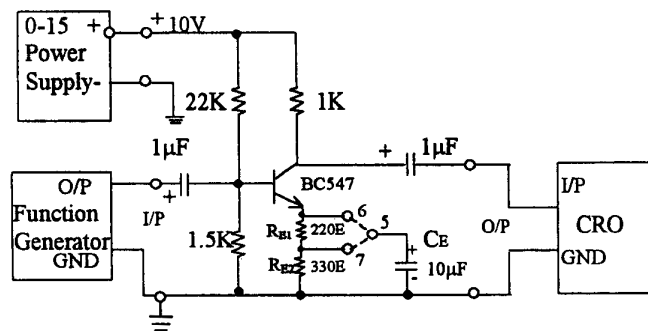
Khuếch Đại Transistor Lớp A, B, C và Các Mạch Dao Động

4.1 Giới thiệu

Hồi tiếp là kỹ thuật đưa một phần tín hiệu điện áp lối ra quay lại lối vào. Có nhiều loại mạch hồi tiếp: hồi tiếp dòng, hồi tiếp áp, hồi tiếp nối tiếp, hồi tiếp song song. Hồi tiếp âm được sử dụng trong các mạch khuếch đại giúp tăng băng thông, tổng trở vào lớn, giảm trở kháng ra và giảm sai dạng tín hiệu.

4.2 Khuếch đại hồi tiếp dòng - P9

Điện trở R_E đóng vai trò là điện trở hồi tiếp, khi có dòng I_C thì cũng có dòng qua R_E vì vậy điện áp rơi trên điện trở R_E ảnh hưởng đến dòng I_C . Khi I_C tăng thì I_E cũng tăng nên V_E tăng làm cho transistor dẫn yếu đi. Sự hồi tiếp này ảnh hưởng cả về mặt AC lẫn DC, nếu R_E được nối song song với một tụ điện bypass, tụ sẽ nối tắt về mặt xoay chiều do đó chỉ ảnh hưởng về mặt DC.



Hình 4.1 Mạch khuếch đại hồi tiếp dòng

Nối dây: 15V(+)-1, 15V(COM)-2, FG(O/P)-3, FG(GND)-4, 5-6 hay 5-7, CRO(I/P-CH1)-8, CRO(GND)-9.

Thực hiện:

- Bật nguồn. Cấp tín hiệu sin 25mVpp, 1 KHz
- Giữ nguyên biên độ tín hiệu vào không đổi, thay đổi tần số, quan sát đáp ứng tần số của mạch trên Osc trong các trường hợp sau: (1) Có RE1, RE2; (2) Có RE1 bypass RE2 – Nối 5 với 7; (3) bypass cả RE1 và RE2 – Nối 5 với 6.
- Lập bảng
- Vẽ đồ thị đáp ứng tần số của mạch. Nhận xét.

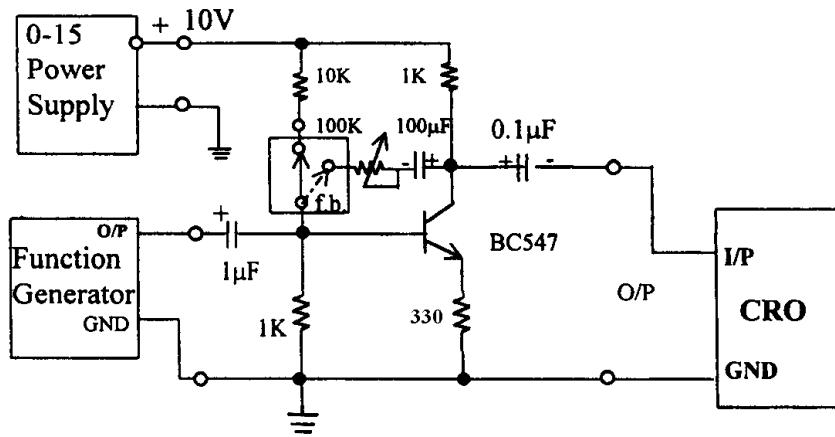
$f(KHz)$	$V_{out} (1)$	$V_{out} (2)$	$V_{out} (3)$
0,1			
0,5			
1			
2			
4			
6			
8			
10			
12			
14			
16			
18			
20			
40			

4.3 Mạch khuếch đại hồi tiếp áp

Nối dây: 15V(+)-10, 15V(COM)-11, FG(O/P)-12, FG(GND)-13, CRO(I/P-CH1)-14, CRO(GND)-15.

Thực hiện:

- Switch ở chế độ bình thường WFB (không có hồi tiếp), bật nguồn cung cấp
- Cấp tín hiệu Sin 1KHz, 350mVpp, điều chỉnh biên độ tín hiệu vào sao cho biên độ tín hiệu ra chưa bị méo dạng, đo và ghi lại giá trị điện áp vào / ra.



Hình 4.2 Mạch khuếch đại hồi tiếp áp

- Giữ nguyên biên độ tín hiệu vào, thay đổi tần số, quan sát tín hiệu lỗi ra trên Osc và lập bảng.
- Vẽ đồ thị đáp ứng tần số, nhận xét.

$f(KHz)$	0,1	0,5	1	2	5	10	20	50	100	500
$V_{out} (V_{pp})$										

Trường hợp 2

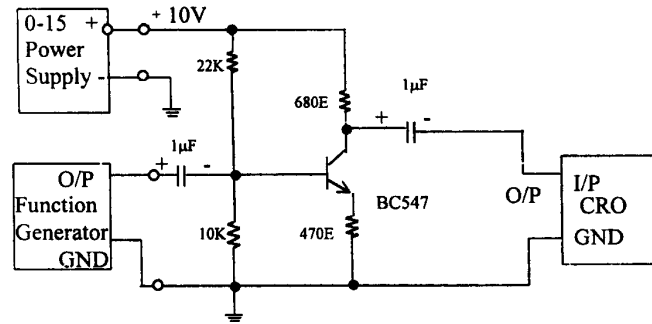
- Làm tương tự với Switch ở vị trí FB (có hồi tiếp)
- Cấp tín hiệu Sin 1KHz, 350mVpp, điều chỉnh biên độ tín hiệu vào sao cho biên độ tín hiệu ra chưa bị méo dạng, đo và ghi lại giá trị điện áp vào và ra.
- Giữ nguyên biên độ tín hiệu vào, thay đổi tần số, quan sát tín hiệu lỗi ra trên Osc và lập bảng
- Vẽ đồ thị đáp ứng tần số của mạch.
- Nhận xét, kết luận, so sánh 2 trường hợp.

4.4 Mạch khuếch đại hạng A

Nối dây: 15V(+)-22, 15V(COM)-23, FG(O/P)-24, FG(GND)-25, CRO(I/P-CH1)-26, CRO(GND)-27.

Thực hiện:

- Đặt $V_{cc} = 10V$, V_i là tín hiệu Sin 1KHz, chỉnh biên độ tín hiệu vào cực đại mà tín hiệu ra chưa bị méo dạng.

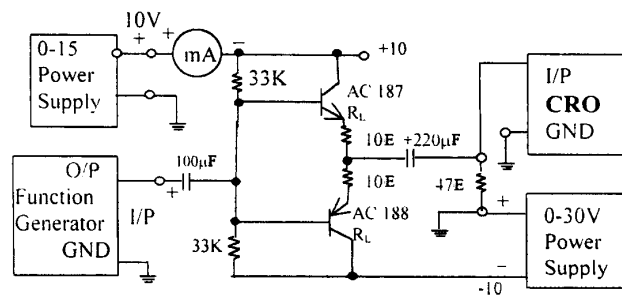


Hình 4.3 Mạch khuếch đại hạng A

- Quan sát tín hiệu lỗi ra trên Osc, vẽ lại dạng sóng, tính độ lợi của mạch khuếch đại. Nhận xét.

4.5 Mạch khuếch đại hạng B

Ở lớp B transistor được phân cực dẫn 180° chu kỳ tín hiệu vào, thông thường các mạch khuếch đại lớp B dùng 2 transistor, mỗi con dẫn một bán kỳ. Khuếch đại hạng B có hiệu suất cao hơn khuếch đại hạng A, nó thường được dùng trong các mạch khuếch đại công suất.



Hình 4.4 Mạch khuếch đại hạng B

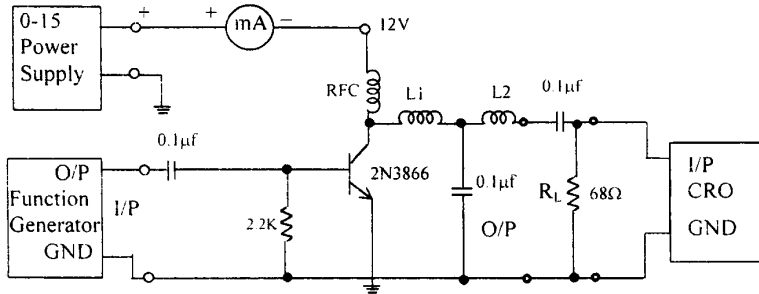
Nối dây: 15V(+)-AM(+), AM(-)-28, 15V(COM)-29, 15V(COM)-30V(+), 30V(COM)-30, FG(O/P)-31, FG(GND)-32, CRO(I/P-CH1)-33, CRO(GND)-34.

Thực hiện:

- Cấp nguồn $V_{cc} = (+/-)10V$, cấp tín hiệu vào S_{in} (10KHz, 4V)
- Quan sát vẽ lại dạng sóng vào ra trên Osc, ghi lại các giá trị điện áp V_{pp}
- Tính công suất, hiệu suất của mạch khuếch đại biết $R_L = 47\Omega$.
- Nhận xét, kết luận.

4.6 Mạch khuếch đại hạng C

Mạch khuếch đại hạng C với transistor có góc dẫn <math> < 180^\circ </math> chu kỳ tín hiệu vào mạch. Khuếch đại hạng C dùng phổ biến trong các mạch công suất cao. Trong bài thí nghiệm, một cuộn dây lõi không khí được thiết kế cho mạch hoạt động ở tần số 300KHz \rightarrow 400KHz.



Hình 4.5 Mạch khuếch đại hạng C

Nối dây: 15V(+)-AM(+), AM(-)-35, 15V(COM)-36, FG(O/P)-37, FG(GND)-38, CRO(I/P-CH1)-39, CRO(GND)-40.

Thực hiện:

- Bật nguồn, chỉnh điện áp cung cấp ở giá trị 12V
- Cấp tín hiệu vào dạng Sin biên độ 5V, tần số thay đổi 100K đến 1MHz.
- Quan sát tín hiệu lỗi ra trên Osc, ghi lại các giá trị và lập bảng

$f(KHz)$	100	200	300	350	400	500	700	1000
$V_{out} (V_{pp})$								

Chú ý: Chú ý khi tăng biên độ tín hiệu vào dòng qua Ampe kế không vượt quá 50mA. Thực hiện các bước đo đạc nhanh chóng.

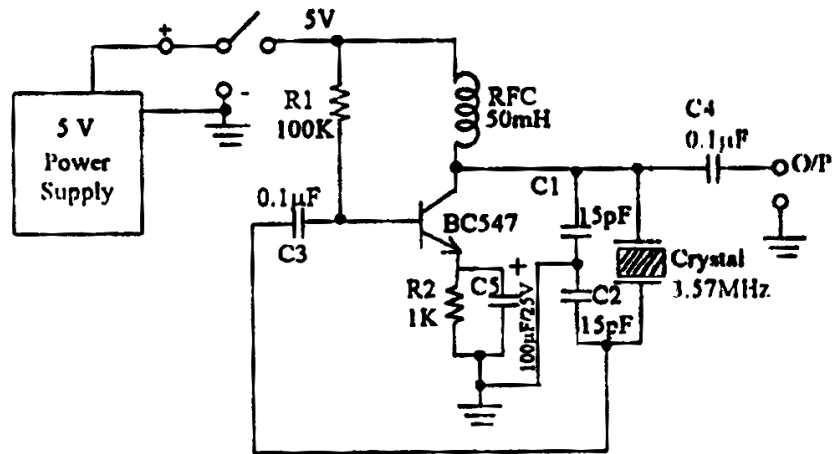
- Vẽ lại dạng sóng khi biên độ tín hiệu ra là cực đại (biên độ ở một tần số nhất định nào đó).
- Tính công suất vào/ra P_i, P_o và hiệu suất của mạch. Nhận xét.

4.7 Mạch dao động

Mạch dao động thạch anh - P11

Nối dây: 5V(+)-1, GND-2, CRO(I/P-CH1)-7, CRO(GND)-8.

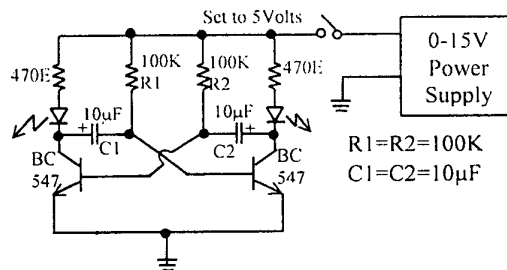
Thực hiện:



Hình 4.6 Mạch dao động thạch anh

- Bật nguồn
- Quan sát tín hiệu lỗi ra trên Osc

Mạch dao động đa hài



Hình 4.7 Mạch dao động đa hài

Nối dây: 5V(+)-1, GND-2, CRO(I/P-CH1)-13, CRO(GND)-2.

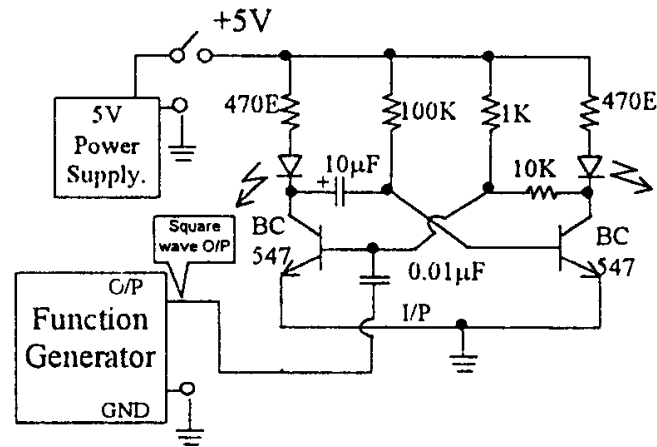
Thực hiện:

- Bật nguồn ở vị trí tương ứng của mạch.
- Quan sát hoạt động của đèn LED, phân tích nguyên lý hoạt động của mạch
- Nhận xét.

Mạch dao động đơn hài

Nối dây: 5V(+)-1, GND-2, FG(TTL O/P)-16, FG(GND)-18, CRO(I/P-CH1)-15, CRO(GND)-18.

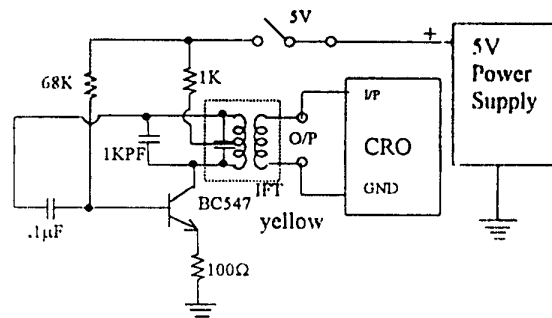
Thực hiện:



Hình 4.8 Mạch dao động đa hài đơn ổn

- Bật nguồn ở vị trí tương ứng của mạch.
- Cấp tín hiệu TTL(5V) 1Hz tại lối vào và quan sát đèn LED
- Phân tích nguyên lý hoạt động và tính độ rộng xung
- Nhận xét, kết luận.

Mạch dao động Hartley



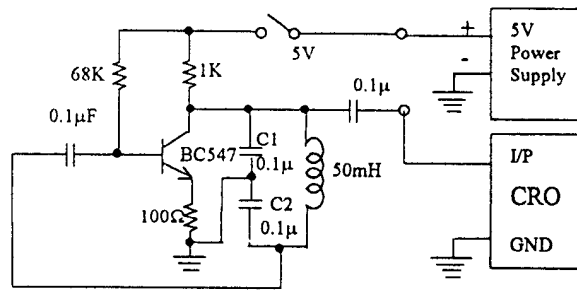
Hình 4.9 Mạch dao động Hartley

Nối dây: 5V(+)-1, GND-2, CRO(I/P-CH1)-3, CRO(GND)-4.

Thực hiện:

- Bật nguồn ở vị trí tương ứng của mạch.
- Quan sát và vẽ lại dạng sóng lối ra
- Tính tần số dao động của mạch khi $L = 40\text{mH}$, $C = 1\mu\text{F}$ với $f = \frac{1}{2\pi\sqrt{LC}}$
- Nhận xét, kết luận.

Mạch dao động Colpitts



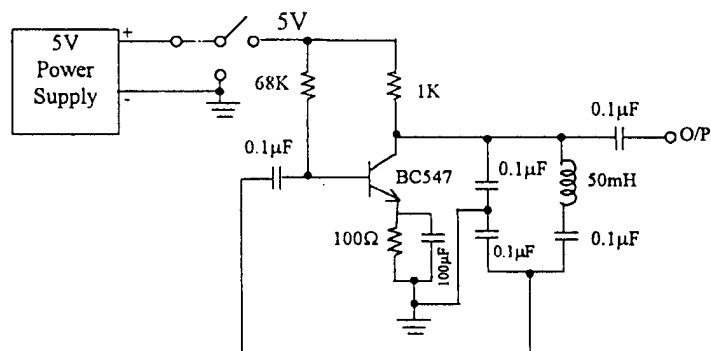
Hình 4.10 Mạch dao động Colpitts

Nối dây: 5V(+)-1, GND-2, CRO(I/P-CH1)-5, CRO(GND)-6.

Thực hiện:

- Bật nguồn ở vị trí tương ứng của mạch.
- Quan sát và vẽ lại dạng sóng lồi ra
- Nhận xét, kết luận.

Mạch dao động Clapp



Hình 4.11 Mạch dao động Clapp

Nối dây: 5V(+)-1, GND-2, CRO(I/P-CH1)-9, CRO(GND)-10

Thực hiện:

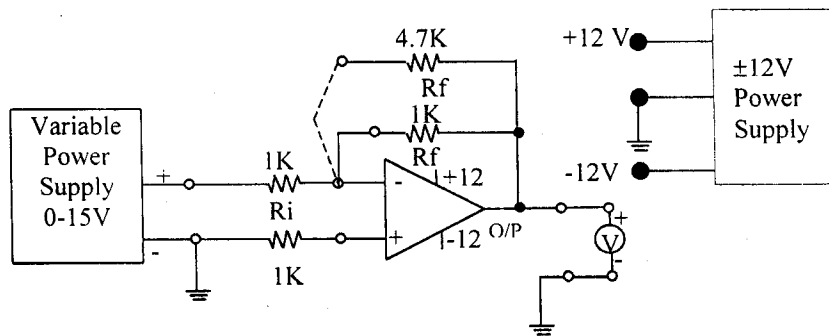
- Bật nguồn ở vị trí tương ứng của mạch.
- Quan sát và vẽ lại dạng sóng lồi ra
- Nhận xét, kết luận.

5

Khuếch Đại Thuật Toán

5.1 Mạch khuếch đại đảo

Khuếch đại DC



Hình 5.1 Mạch khuếch đại đảo DC

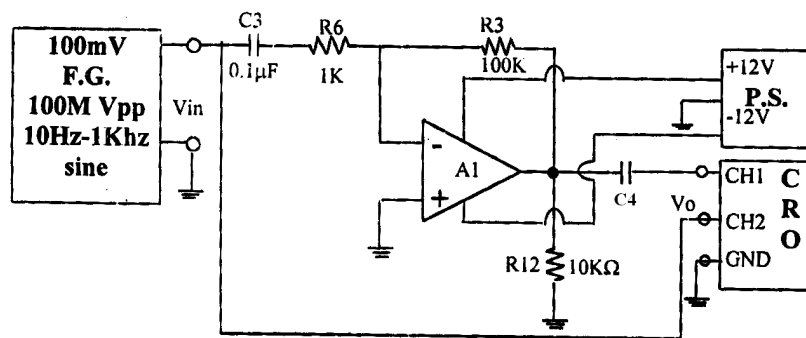
Nối dây: 12V(+)-1, 12V(-)-3, GND-2, 15V(+)-6, 15V(-)-18, 8-42 (hoặc 8-44), VM(+)-48, VM(-)-67, 17-65

Thực hiện:

- Sử dụng nguồn (+/- 12V)
- Điều chỉnh điện áp lỗi vào mạch khuếch đại như trong bảng và đo điện áp lỗi ra
- Tính độ khuếch đại theo lý thuyết và thực tế
- Cấp tín hiệu sóng tam giác 1Vpp/1KHz vào bộ khuếch đại. Vẽ dạng sóng vào/ra.
- Nhận xét, kết luận

Điện áp vào	Điện áp ra ($R_f = 1K$)	Điện áp ra ($R_f = 4,7K$)
0		
0,5		
1		
1,5		
2		
2,5		

Khuếch đại AC



Hình 5.2 Mạch khuếch đại đảo AC

Nối dây: 12V-1, -12V-3, GND-2, FG(O/P) -26, 23-8, 49-11, 47-67, CRO (GND) – 65, 19-67, FG(O/P) - CRO(I/P-CH2), 53 - CRO(I/P-CH1)

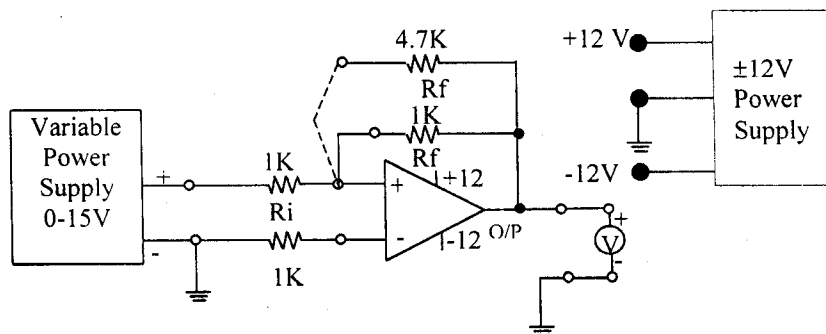
Thực hiện:

- Sử dụng nguồn (+/-) 12V
- Cấp tín hiệu hình sin 100mVpp/1KHz tại ngõ vào mạch khuếch đại.
- Thay đổi tần số ngõ vào mạch khuếch đại, đo điện áp lối ra. Lập bảng
- Nhận xét, kết luận

Tần số (KHz)	Điện áp ra
0,01	
0,1	
0,5	
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	

5.2 Mạch khuếch đại không đảo

Khuếch đại DC



Hình 5.3 Mạch khuếch đại không đảo DC

Nối dây: 12V(+)-1, 12V(-)-3, GND-2, 15V(+)-17, 15V(-)-6, 8-42 (hoặc 8-44), VM(+)-48, VM(-)-66, 7-65.

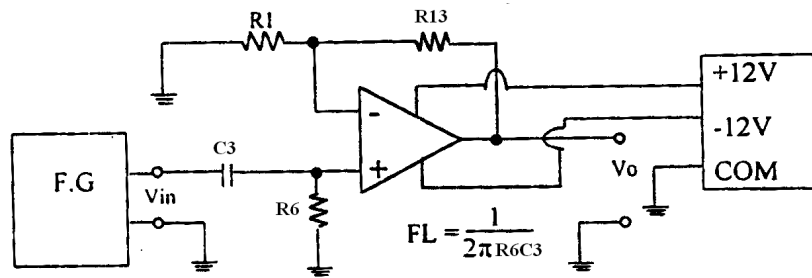
Thực hiện:

- Sử dụng nguồn (+/-) 12V
- Điều chỉnh điện áp lỗi vào mạch khuếch đại như bảng vào đo điện áp lỗi ra.
- Tính độ khuếch đại theo lý thuyết và thực tế

- Cấp tín hiệu sóng tam giác 1Vpp/1KHz vào bộ khuếch đại. Vẽ dạng sóng vào/ra.
- Nhận xét, kết luận

Điện áp vào	Điện áp ra (Rf = 1K)	Điện áp ra (Rf= 4,7K)
0		
0,5		
1		
1,5		
2		
2,5		

Khuếch đại AC



Hình 5.4 Mạch khuếch đại không đảo AC

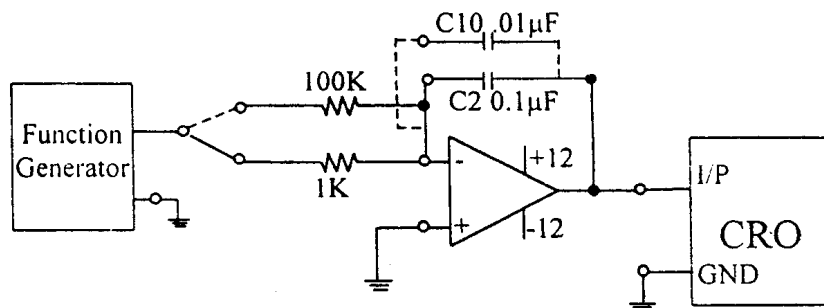
Nối dây: 12V(+)-1, 12V(-)-3, GND-2, FG(O/P)-26, 25-22, 4-65, 49-8, FG(GND)-67, CRO(I/P-CH1)-48, 23-66, CRO(GND)-65

Thực hiện:

- Sử dụng nguồn (+/-) 12V
- Cấp tín hiệu sin 100mVpp 1KHz vào mạch khuếch đại.
- Thay đổi tần số ngõ vào, đo điện áp lối ra. Lập bảng.
- Nhận xét, kết luận.

Tần số (KHz)	Điện áp ra
0,01	
0,1	
0,5	
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	

5.3 Mạch tích phân



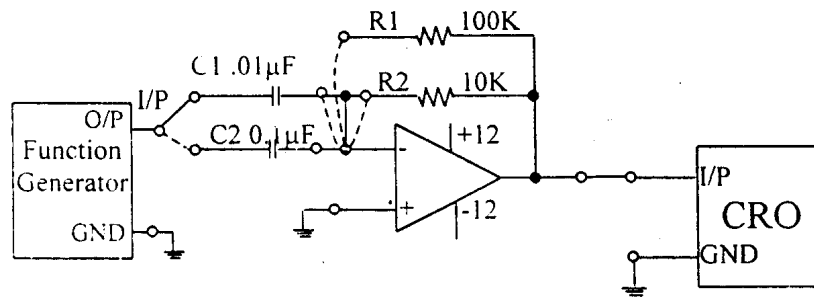
Hình 5.5 Mạch tích phân

Nối dây: 12V(+)-1, 12V(-)-3, GND-2, FG(O/P)-4, 8-53 (hoặc FG(O/P)-9, 8-55), FG(GND)-65, OSC(CH1)-48, OSC(GND)-66, 19-67

Thực hiện:

- Sử dụng nguồn (+/-) 12V
- Cấp tín hiệu xung vuông 1KHz 1V vào mạch tích phân. Vẽ lại dạng sóng vào/ra.
- Lặp lại quá trình bằng cách kết hợp các điện trở lỗi vào và tụ điện hồi tiếp khác. Vẽ lại dạng sóng.
- Nhận xét, kết luận.

5.4 Mạch vi phân



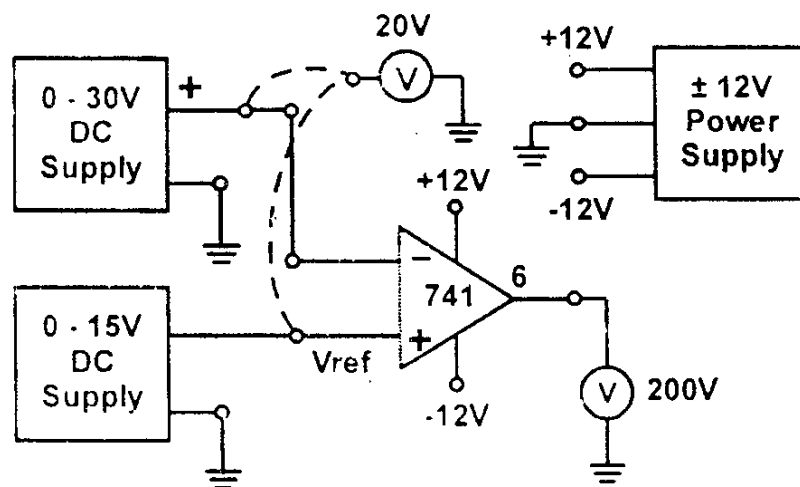
Hình 5.6 Mạch vi phân

Nối dây: 12V(+)-1, 12V(-)-3, GND-2, FG(O/P)-15, 8-46 (hoặc FG(O/P)-12, 8-49), FG(GND)-67, OSC(CH1)-48, OSC(GND)-66, 19-65

Thực hiện:

- Sử dụng nguồn (+/-) 12V
- Cấp tín hiệu xung tam giác 1KHz 1V vào mạch vi phân. Vẽ lại dạng sóng vào/ra.
- Lặp lại quá trình bằng cách kết hợp các điện trở lỗi vào và tụ điện hồi tiếp khác. Vẽ lại dạng sóng.
- Nhận xét, kết luận.

5.5 Mạch so sánh



Hình 5.7 Mạch so sánh

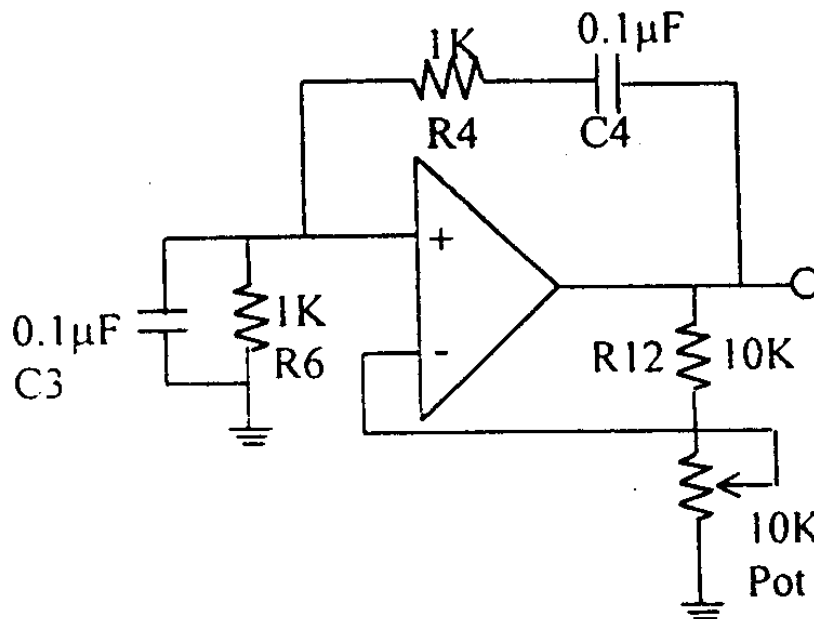
Nối dây: 12V(+)-1, 12V(-)-3, GND-2, 30V(+)-8, 15V(+)-19, VM(+)-22, VM(-)-65, 30V(COM)-15V(COM)-66, 48 – VM(+), 67 – VM(-).

Thực hiện:

- Đặt điện áp ngưỡng $V_{ref} = 1V$ tại lối vào (+) và thay đổi điện áp lối vào (-) như trong bảng và ghi lại điện áp lối ra.
- Lặp lại quá trình với $V_{ref} = 2V$.
- Nhận xét, kết luận.

Lối vào (-)	Lối ra
0	
0,2	
0,4	
0,6	
0,8	
1,0	
1,2	

5.6 Mạch phát xung



Hình 5.8 Mạch dao động cầu Wien

Nối dây: 12V(+)-1, 12V(-)-3, GND-2,8-37, 36-46, 38-66, 56-17, 22-25, 24-27, 26-65, CRO(I/P-CH1)-51, CRO(GND)-67

Thực hiện:

- Điều chỉnh biến trở để thu được dạng sóng sin tại đầu ra của mạch.
- Theo lý thuyết $F = \frac{1}{2\pi RC}$, với $R = R4 = R6 = 1K$, $C = C3 = C4 = 0,1\mu F$. Tính chu kỳ tần số theo lý thuyết.
- Vẽ lại dạng sóng thực tế. Tính chu kỳ tần số thực tế.
- Nhận xét, kết luận.

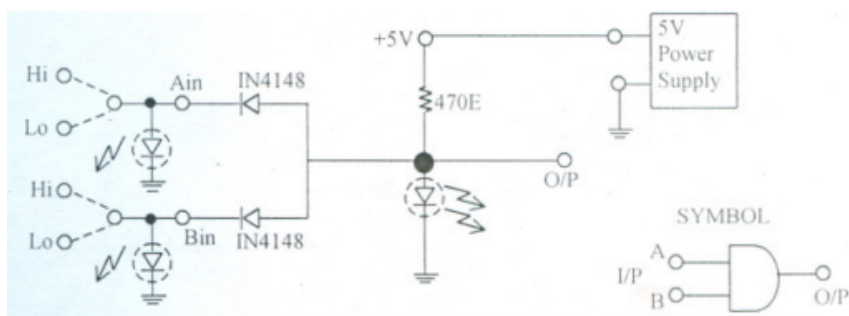
6

Cổng Cửa Luận Lý và Mạch Kết Hợp

6.1 Cổng cửa luận lý

Cổng AND

Bảng mạch thực nghiệm có sẵn các vị trí được đánh dấu **HI** “1” và **LO** “0” để thuận tiện cho quá trình cắm dây. Khi tiến hành thí nghiệm, gắn dây nguồn vào mạch tại vị trí +5V/GND.



Hình 6.1 Cổng AND xây dựng từ các diode

Nối dây: 5V(+)-1, 5V(-)-2, 4-7, 6-8

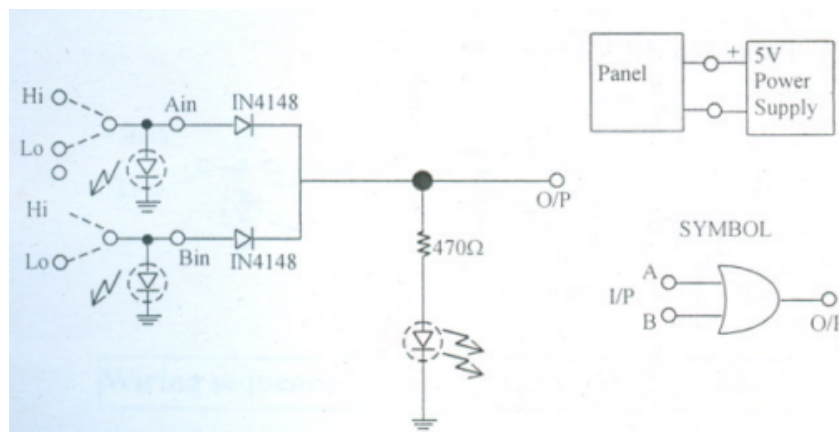
Thực hiện:

- Cấp nguồn
- Đặt mức điện áp lối vào theo bảng và ghi lại lối ra. Đèn LED sáng khi lối ra trạng thái cao và ngược lại.
- Nhận xét, kết luận.

Input A	Input B	Output
Lo	Lo	
Hi	Lo	
Lo	Hi	
Hi	Hi	

Cổng OR

Tương tự cổng AND, cổng OR cũng có thể được xây dựng từ các diode.



Hình 6.2 Cổng OR cơ bản

Nội dây: 5V(+)-1, 5V(-)-2, 4-13, 6-14

Thực hiện:

- Cấp nguồn
- Đặt mức điện áp lối vào và lập bảng trạng thái lối vào/ra.
- Nhận xét, kết luận.

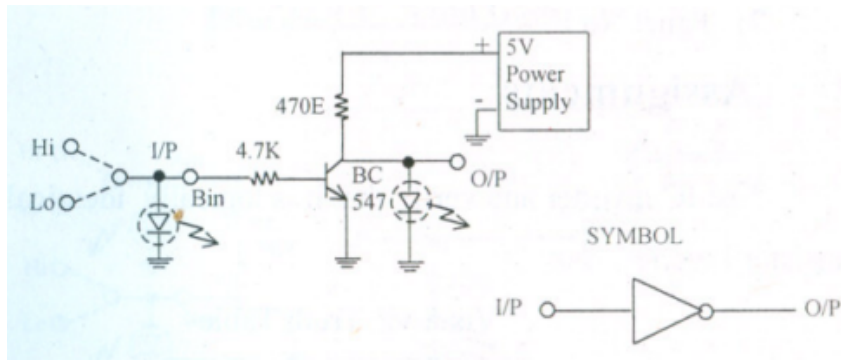
Cổng NOT

Cổng NOT hay Inverter chỉ có một lối vào và một lối ra. Trong bài này, cổng NOT được xây dựng từ một BJT.

Nội dây: 5V(+)-1, 5V(-)-2, 3-22

Thực hiện:

- Cấp nguồn
- Đặt mức điện áp lối vào và lập bảng trạng thái lối ra.

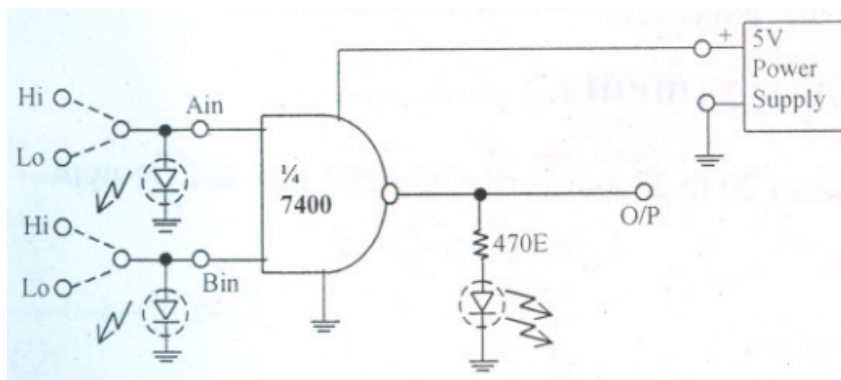


Hình 6.3 Cổng NOT và biểu tượng

- Nhận xét, kết luận.

Cổng NAND

Cổng NAND có thể được xây dựng từ những linh kiện như trong các cổng trước. Tuy nhiên, trong bài ta sử dụng IC 7400.



Hình 6.4 Cổng NAND trên IC 7400

Nối dây: 5V(+)-1, 5V(-)-2, 3-15, 4-16

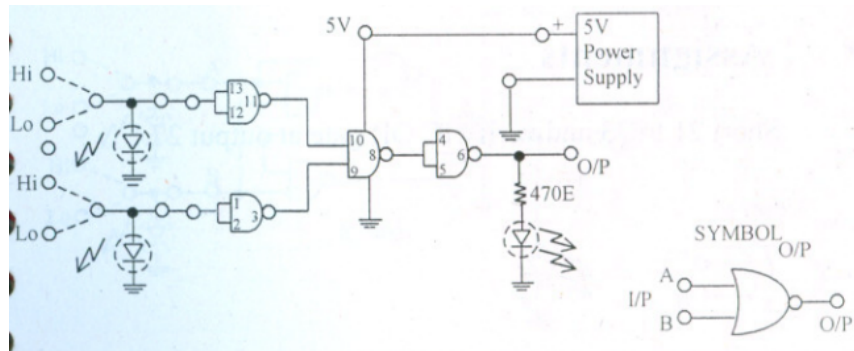
Thực hiện:

- Cấp nguồn
- Đặt các mức điện áp lối vào và lập bảng trạng thái lối ra.
- Nhận xét, kết luận.

Cổng NOR

Cổng NOR có thể được xây dựng từ những linh kiện như trong các cổng trước. Tuy nhiên, trong bài ta sử dụng IC 7400.

Nối dây: 5V(+)-1, 5V(-)-2, 4-17, 6-18



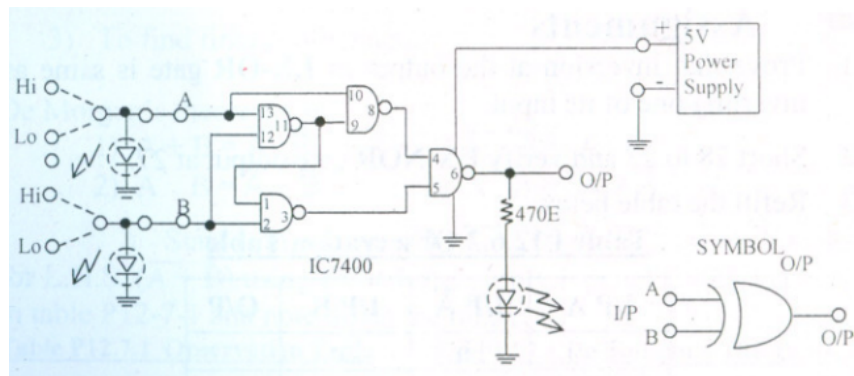
Hình 6.5 Cổng NOR xây dựng từ IC 7400

Thực hiện:

- Cấp nguồn
- Đặt các mức điện áp lối vào và lập bảng trạng thái lối ra
- Nhận xét, kết luận

Cổng X-OR

Cổng X-OR hoặc Ex-OR trong bài được xây dựng từ IC 7400.



Hình 6.6 Cổng XOR xây dựng từ IC 7400

Nối dây: 5V(+)-1, 5V(-)-2, 3-24, 4-25

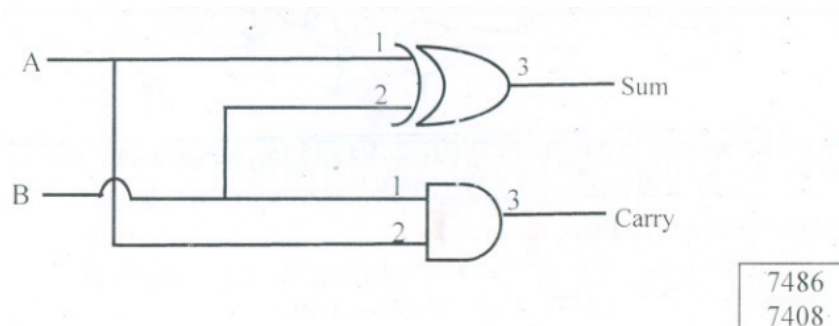
Thực hiện:

- Cấp nguồn
- Đặt các mức điện áp lối vào và lập bảng trạng thái lối ra
- Nhận xét, kết luận

6.2 Mạch tổ hợp

Mạch cộng bán phần

Mạch Half adder được xây dựng từ hai cổng cửa luận lý là AND và X-OR.



Hình 6.7 Mạch cộng bán phần

Nói đây: Theo sơ đồ trên hình.

Thực hiện:

- Cấp nguồn
- Đặt các mức điện áp lối vào và lập bảng trạng thái lối ra. Mức trạng thái **Lo** và **Hi** được ghi lại theo Boolean là 0 và 1.
- Nhận xét, kết luận

A	B	Sum	Carry
0	0		
0	1		
1	0		
1	1		

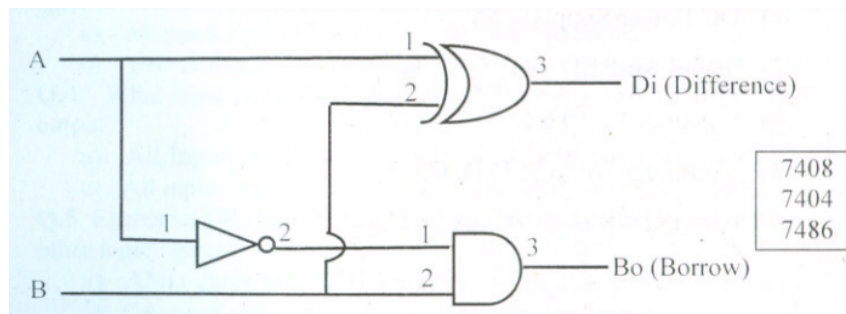
Mạch trừ bán phần

Mạch được xây dựng từ ba cổng cửa luận lý là AND, X-OR và NOT.

Nói đây: Theo sơ đồ trên hình.

Thực hiện:

- Cấp nguồn
- Đặt các mức điện áp lối vào và lập bảng trạng thái lối ra.



Hình 6.8 Mạch trừ bán phần

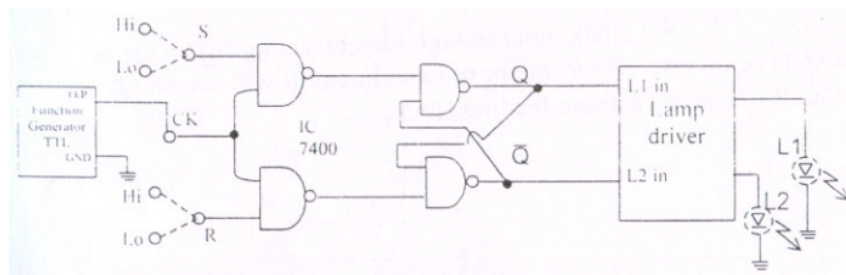
- Nhận xét, kết luận

A	B	Di	Bo
0	0		
0	1		
1	0		
1	1		

6.3 Flip-flop và ứng dụng - P13

FF-RS

Trong bài này, FF-RS được xây dựng dựa trên IC 7400 (NAND).



Hình 6.9 Sơ đồ FF-RS dùng NAND

Nối dây: 5V(+)-61, GND-62, FG(TTL O/P)-9, FG(GND)-10, 2-11, 4-12, 13-57, 14-58.

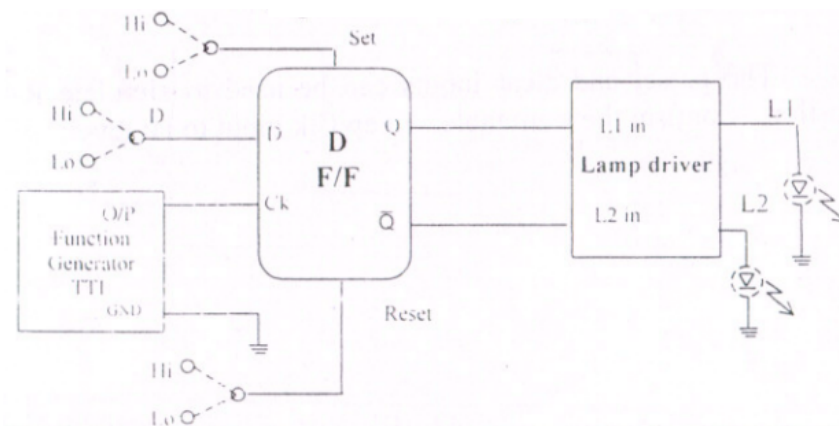
Thực hiện:

- Cấp nguồn, đặt máy phát xung có tần số thấp.
- Đặt các mức điện áp lỗi vào và lập bảng trạng thái lỗi ra.
- Nhận xét, kết luận

CLK	S	R	Q	\bar{Q}
0	x	x		
1	0	0		
1	1	0		
1	1	1		

FF-D

Trong bài này, IC7474 đóng vai trò thực nghiệm cho FF-D.



Hình 6.10 Sơ đồ FF-D sử dụng xung CLK

Nối dây: 5V(+)-61, GND-62, FG(TTL O/P)-9, FG(GND)-10, 5-15, 7-17, 3-16, 18-57, 19-58.

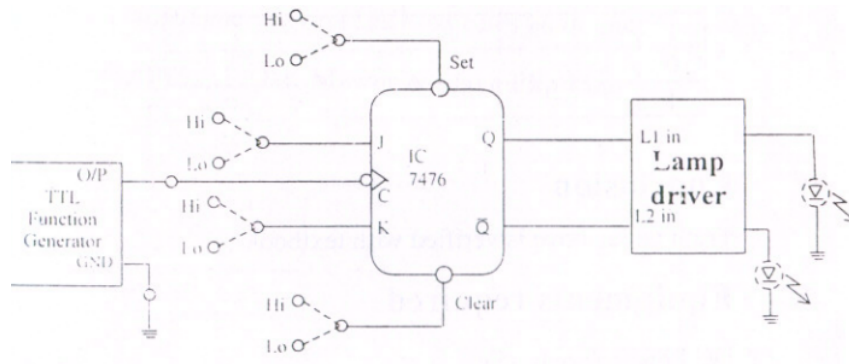
Thực hiện:

- Cấp nguồn, đặt máy phát xung có tần số thấp.
- Đặt các mức điện áp lỗi vào và lập bảng trạng thái lỗi ra.
- Nhận xét, kết luận

CLK	Set	Reset	D	Q_n	\bar{Q}_n
x	0	1			
x	1	0			
1	1	1			
0	1	1			

FF-JK

Trong bài này, IC7476 đóng vai trò thực nghiệm cho FF-JK.



Hình 6.11 Sơ đồ thực nghiệm FF-JK

Nối dây: 5V(+)-61, GND-62, FG(TTL O/P)-9, FG(GND)-10, 2-20, 4-21, 1-22, 3-23, 24-57, 25-58.

Thực hiện:

- Cấp nguồn, đặt máy phát xung có tần số thấp.
- Đặt các mức điện áp lỗi vào và lập bảng trạng thái lỗi ra.
- Nhận xét, kết luận

J	K	Set	Reset	Q_{n+1}	Q_{n+1}^-
x	x	0	1		
x	x	1	0		
0	0	1	1		
1	0	1	1		
0	1				
1	1				

6.4 Mạch đếm

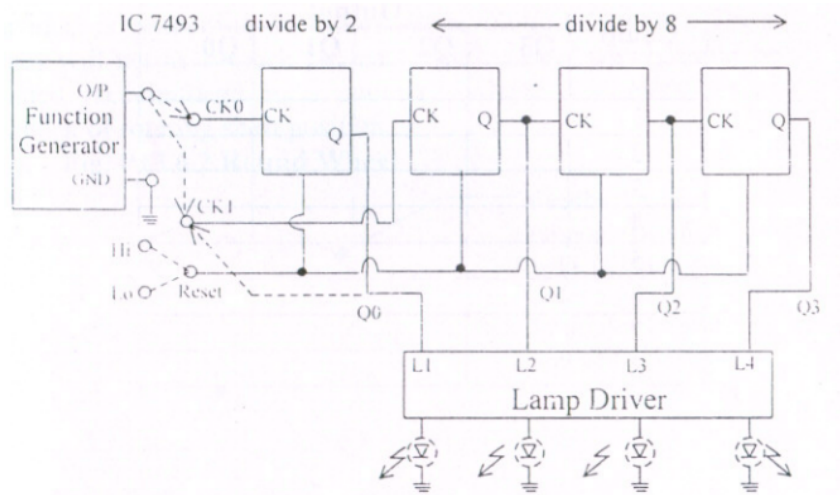
Mạch đếm nhị phân

Mạch đếm nhị phân được xây dựng trên IC7493.

Nối dây: 5V(+)-61, GND-62, FG(TTL O/P)-9, FG(GND)-10, 32-33, 8-35, 36-57, 38-58, 40-59, 42-60, 34-37.

Thực hiện:

- Cấp nguồn, đặt máy phát xung có tần số 1Hz.
- Đặt các mức điện áp lỗi vào và lập bảng trạng thái lỗi ra.



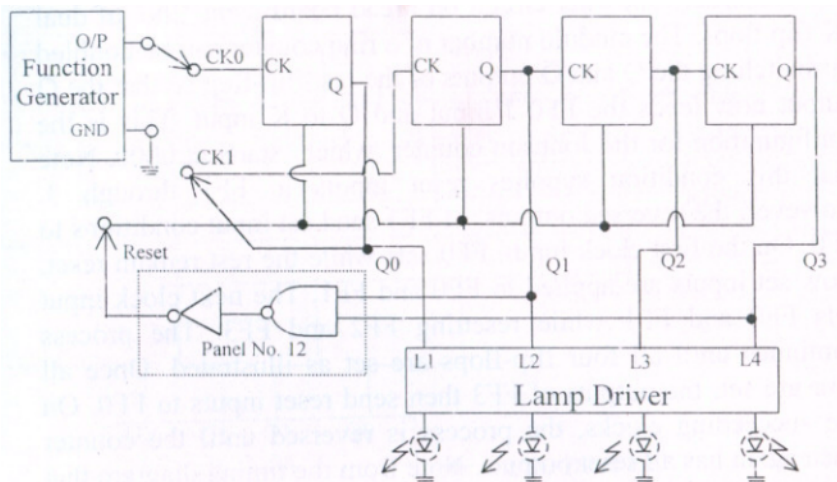
Hình 6.12 Sơ đồ mạch đếm nhị phân

- Điều chỉnh tần số lối vào, quan sát tín hiệu trên LED và máy hiện sóng.
- Nhận xét, kết luận.

Count	Q3	Q2	Q1	Q0
0				
1				
2				
3				
...				
15				

Mạch đếm MOD 10

Mạch đếm có thể được xây dựng từ mạch đếm nhị phân 4bit theo Hình 6.13.



Hình 6.13 Sơ đồ mạch đếm MOD 10

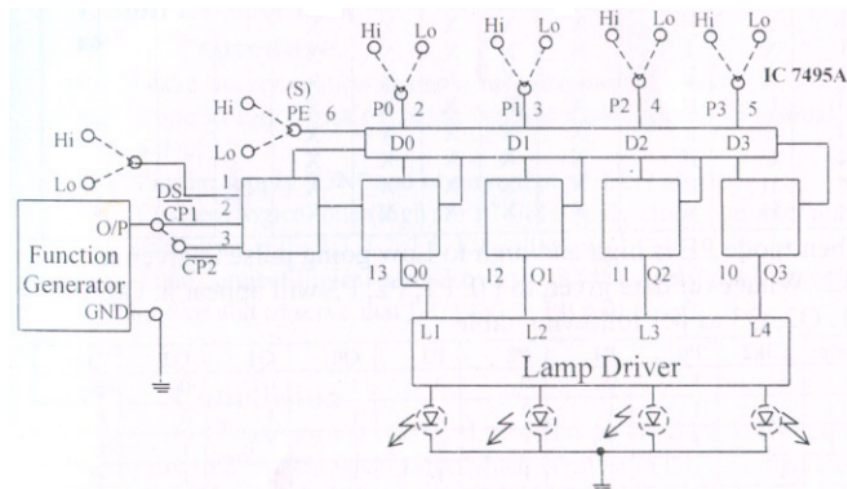
Nối dây: 5V(+)-61, GND-62, FG(TTL O/P)-9, FG(GND)-10, 32-33, 34-37, 36-57, 38-58, 40-59, 42-60, 39-15*, 43-16*, 20*-23*, 27*-35.

Chú ý: Những chân đánh dấu (*) nằm bên bo thực nghiệm P12.

Quy trình thực hiện giống như với mạch đếm nhị phân.

6.5 Thanh ghi dịch

Thanh ghi dịch 4bit có lối vào nối tiếp D hoặc song song P được xây dựng trên IC7495 hoặc 74195.



Hình 6.14 Sơ đồ thanh ghi dịch

Nối dây: 5V(+)-61, GND-62, FG(TTL O/P)-9, FG(GND)-10, 1-51, 2-49, 44-52, 4-46, 5-45, 6-47, 8-48, 53-57, 54-58, 55-59, 56-60.

Thực hiện:

- Cấp nguồn, đặt máy phát xung có tần số 1Hz.
- Đặt các mức điện áp lối vào và lập bảng trạng thái lối ra.
- Lặp lại quá trình với xung tín hiệu đặt vào chân CP2.
- Nhận xét, kết luận.

Mode PE	CLK2	CLK1	Serial	P0	P1	P2	P3	Q0	Q1	Q2	Q3
H	H	X	X	X	X	X	X				
H	↓	X	X	A	B	C	D				
H	↓	X	X	Q_B	Q_C	Q_D	d				
L	L	H	X	X	X	X	X				
L	X	↓	H	X	X	X	X				
L	X	↓	L	X	X	X	X				
↑	L	L	X	X	X	X	X				
↓	L	L	X	X	X	X	X				
↓	L	H	X	X	X	X	X				
↑	H	L	X	X	X	X	X				
↑	H	H	X	X	X	X	X				

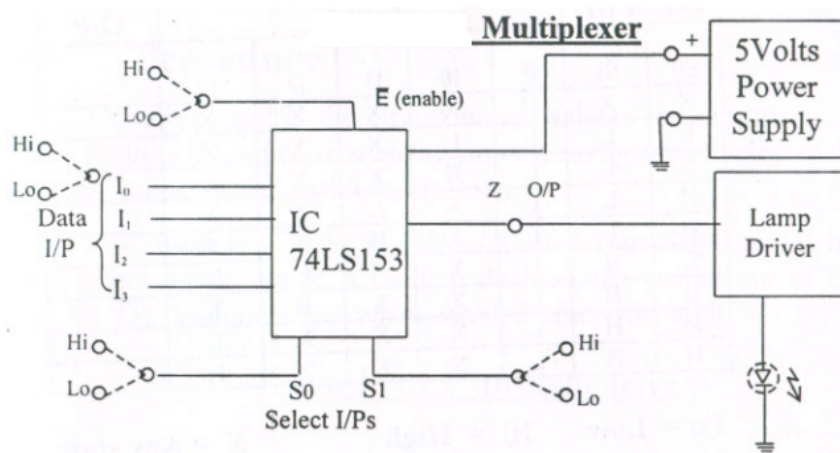
7

Chuyển Đổi Tín Hiệu

7.1 Mạch phân kênh và trộn kênh

Multiplexer

Mạch trộn kênh dựa trên IC 74LS153. Khi tiến hành thí nghiệm, gắn dây nguồn vào mạch tại vị trí +5V/GND.



Hình 7.1 Mạch trộn kênh

Nối dây: 5V(+)-52, GND-53, 15-2, 13-4, 14-6, 12-8, 11-3, 10-5, 9-7, 16-48.

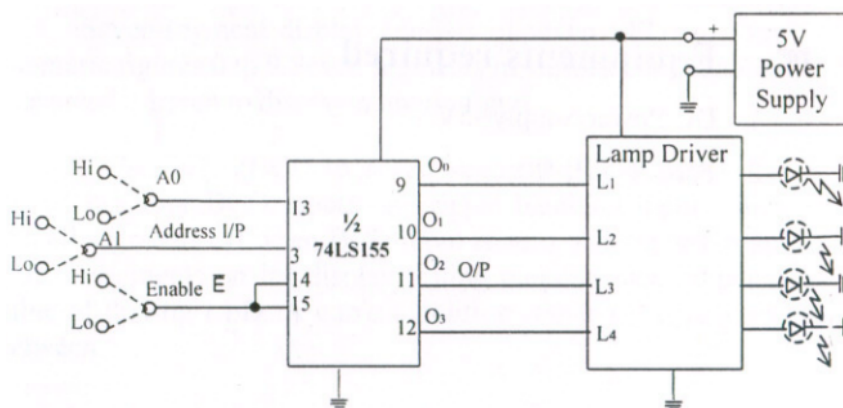
Thực hiện:

- Cấp nguồn
- Đặt mức điện áp lỗi vào theo bảng và ghi lại lỗi ra. Đèn LED sáng khi lỗi ra trạng thái cao và ngược lại.
- Nhận xét, kết luận.

Select S0	Select S1	Enable	I0	I1	I2	I3	Output
X	X	H	X	X	X	X	
L	L	L	L	X	X	X	
L	L	L	H	X	X	X	
H	L	L	X	L	X	X	
H	L	L	X	H	X	X	
L	H	L	X	X	L	X	
L	H	L	X	X	H	X	
H	H	L	X	X	X	L	
H	H	L	X	X	X	H	

Demultiplexer

Mạch phân kênh hoạt động với chức năng ngược lại mạch trộn kênh. Trong bài này, IC 74155 được sử dụng.



Hình 7.2 Mạch phân kênh

Nối dây: 5V(+)-52, GND-53, 17-2, 18-4, 19-6, 20-48, 21-49, 50-22, 23-51.

Thực hiện:

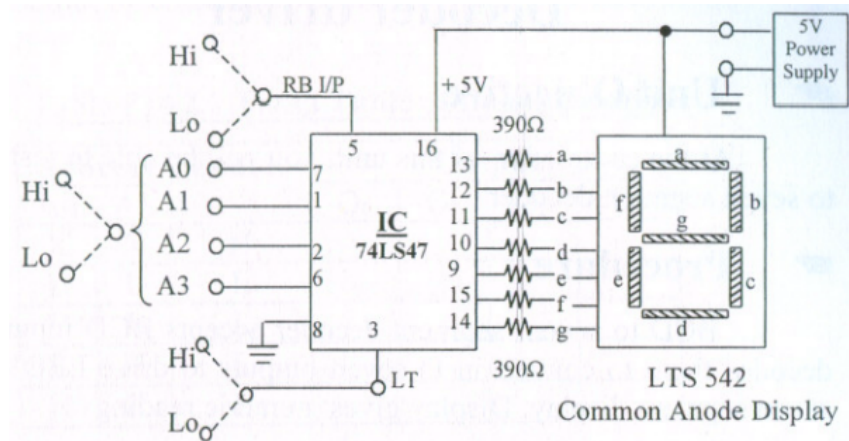
- Cấp nguồn
- Đặt mức điện áp lỗi vào theo bảng và ghi lại lỗi ra.
- Nhận xét, kết luận.

Address A0	A1	Enable	Output O0	O1	O2	O3
X	X	H				
L	L	L				
H	L	L				
L	H	L				
H	H	L				

7.2 Giải mã

BCD sang 7 đoạn

Giá trị lỗi vào BCD được hiển thị dạng thập phân trên các LED bảy đoạn. Trong bài này, IC 7447 được sử dụng.



Hình 7.3 Mạch giải mã BCD sang 7 đoạn

Nối dây: 5V(+)-52, GND-53, 29-1, 28-7, 24-3, 25-4, 26-6, 27-8.

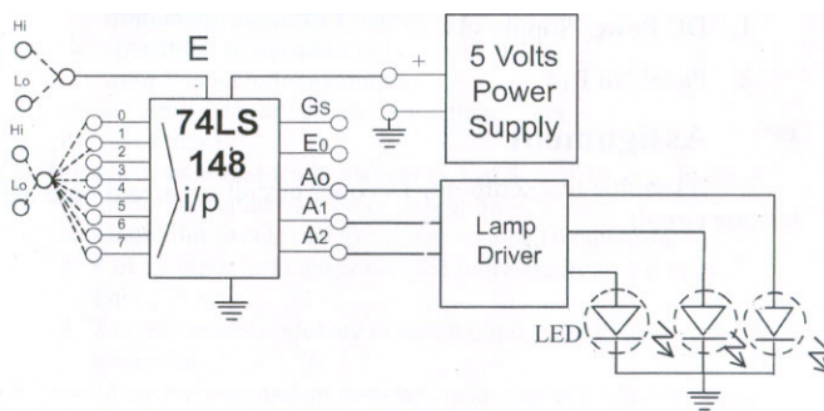
Thực hiện:

- Cấp nguồn
- Đặt mức điện áp lỗi vào theo bảng và ghi lại lỗi ra.
- Nhận xét, kết luận.

A0	A1	A2	A3	LT	RB	a	b	c	d	e	f	g	Số
X	X	X	X	L	X								
L	L	L	L	H	L								
L	L	L	L	H	X								
H	L	L	L	H	X								
L	H	L	L	H	X								
H	H	L	L	H	X								
L	L	H	L	H	X								
H	L	H	L	H	X								
L	H	H	L	H	X								
H	H	H	L	H	X								
L	L	L	H	H	X								
H	L	L	H	H	X								

Mã hóa BCD

Giá trị lỗi ra BCD được mã hóa dựa trên giá trị lỗi vào. Trong bài này, IC 74148 được sử dụng.



Hình 7.4 Mạch mã hóa BCD

Nối dây: 5V(+)-52, GND-53, 44-2, 37-1, 38-3, 39-5, 40-7, 47-48, 46-49, 45-50, 36-4, 41-42-43-1.

Thực hiện:

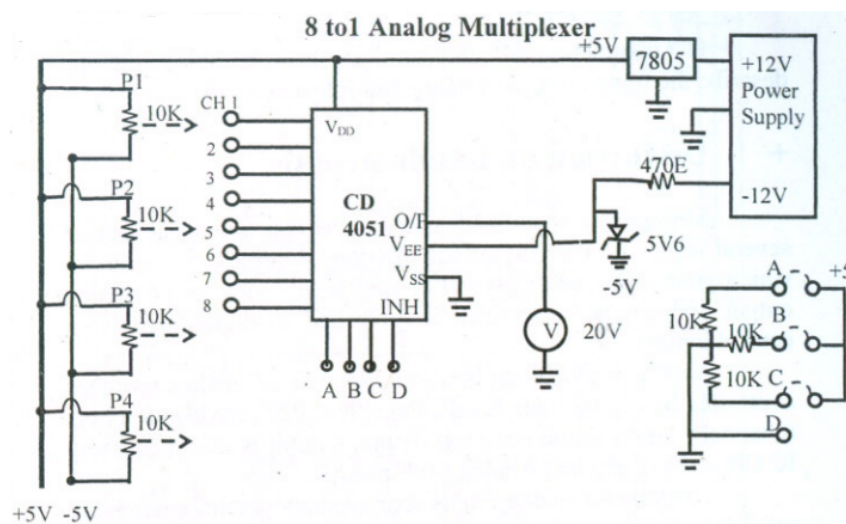
- Cấp nguồn
- Đặt mức điện áp lỗi vào theo bảng và ghi lại lỗi ra.
- Nhận xét, kết luận.

Enable	0	1	2	3	4	5	6	7	A2	A1	A0
H	X	X	X	X	X	X	X	X			
L	H	H	H	H	H	H	H	H			
L	L	H	H	H	H	H	H	H			
L	H	L	H	H	H	H	H	H			
L	H	H	L	H	H	H	H	H			
L	H	H	H	L	H	H	H	H			
L	H	H	H	H	L	H	H	H			
L	H	H	H	H	H	L	H	H			
L	H	H	H	H	H	H	L	H			
L	H	H	H	H	H	H	H	L			

7.3 Biến đổi tương tự - số (P26)

Trộn kênh tín hiệu tương tự

Bộ trộn kênh tương tự cho phép chọn đầu ra mang tín hiệu của một trong nhiều đầu vào tương tự. Trong bài này, mạch sử dụng IC CD4051.



Hình 7.5 Mạch trộn kênh tương tự

Nối dây: 12V(+)-29, GND-30, 12V(-)-31, VM(+)-32, VM(-)-39, 1-9, 2-17, 3-10, 4-18, 28-39, 25/26/27-40,41 nếu treo cao hoặc bỏ trống.

Thực hiện:

- Cấp nguồn

- Thay đổi mức điện áp lỗi vào nhờ biến trở.
- Đặt mức tín hiệu điều khiển tương ứng, lập bảng và ghi lại lỗi ra.
- Nhận xét, kết luận.

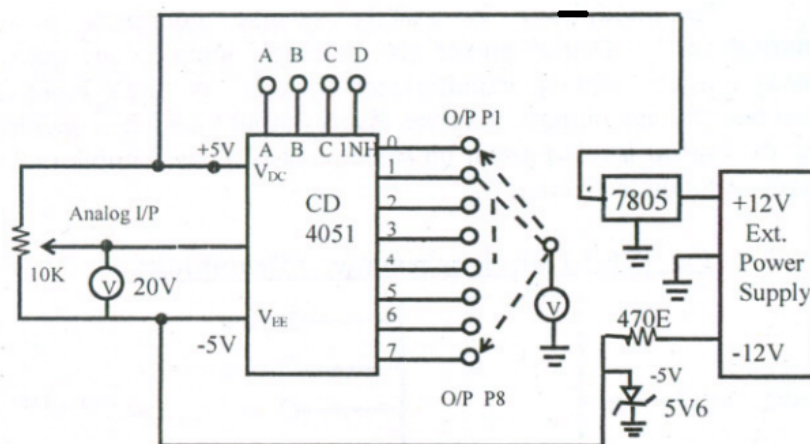
Analog A0	A1	A2	A3	Control A	B	C	D	Output
0,5V	1	1,5	2	0	0	0	0	
				1	0	0	0	
				0	1	0	0	
				1	1	0	0	

Nối đầu tín hiệu từ các biến trở sang nhóm đầu vào từ 5 → 8 và lặp lại quá trình trên.

Analog A0	A1	A2	A3	Control A	B	C	D	Output
2,5V	3	3,5	4	0	0	1	0	
				1	0	1	0	
				0	1	1	0	
				1	1	1	0	

Phân kênh tín hiệu tương tự

Mạch phân kênh hoạt động trên nguyên lý ngược lại của mạch trộn kênh. Trong bài này, IC CD4051 cũng có thể được dùng làm mạch phân kênh.



Hình 7.6 Mạch phân kênh tương tự

Nối dây: 12V(+)-29, GND-30, 12V(-)-31, VM(+)-32, VM(-)-39, 1-32, 28-39, 25/26/27-40,41 nếu treo cao hoặc bỏ trống.

Thực hiện:

- Cấp nguồn
- Thay đổi mức điện áp lỗi vào tối đa 3V nhờ biến trở.
- Đặt mức tín hiệu điều khiển tương ứng, lập bảng và ghi lại lỗi ra.
- Nhận xét, kết luận.

Select A	B	C	D	Output 0	1	2	3	4	5	6	7
0	0	0	0								
1	0	0	0								
0	1	0	0								
1	1	0	0								
0	0	1	0								
1	0	1	0								
0	1	1	0								
1	1	1	0								

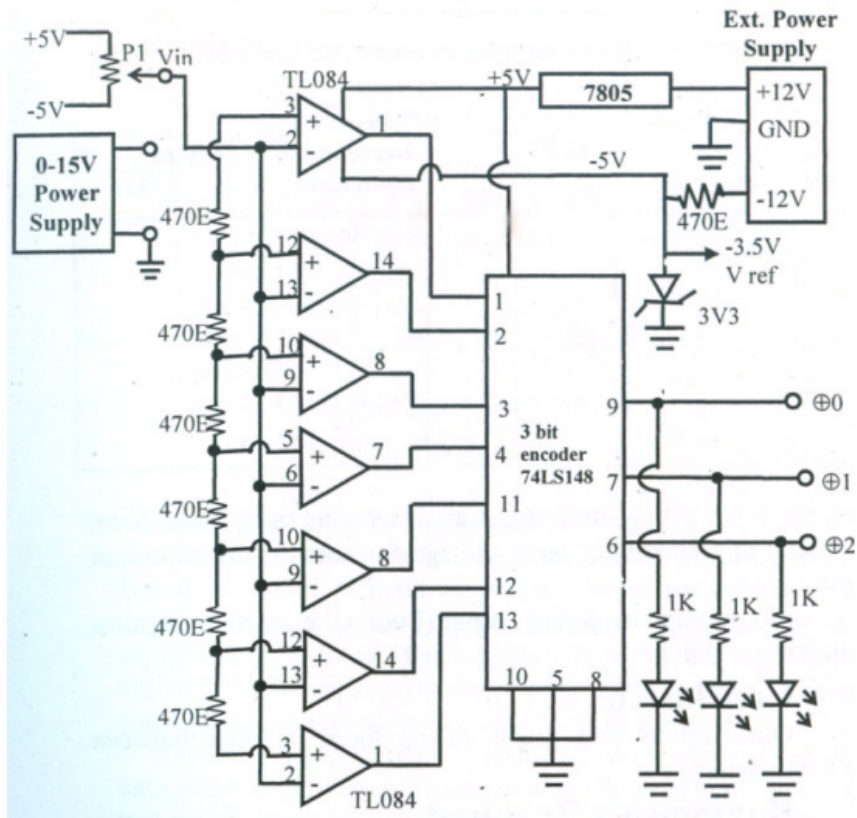
Chuyển đổi tương tự sang số

Với nhu cầu chuyển đổi tín hiệu để làm việc trong các hệ thống số, rất nhiều kỹ thuật biến đổi A/D được thực hiện. Tùy từng kỹ thuật, thời gian chuyển đổi có thể chỉ cần vài ns .

Nối dây: 12V(+)-29, GND-30, 12V(-)-31, 1-33.

Thực hiện:

- Cấp nguồn
- Thay đổi mức điện áp lỗi vào nhờ biến trở. Ghi lại giá trị cao nhất và thấp nhất cho mỗi tổ hợp lỗi ra.
- Lập bảng và ghi lại lỗi ra.
- Nhận xét, kết luận.



Hình 7.7 Mạch chuyển đổi tín hiệu tương tự - số

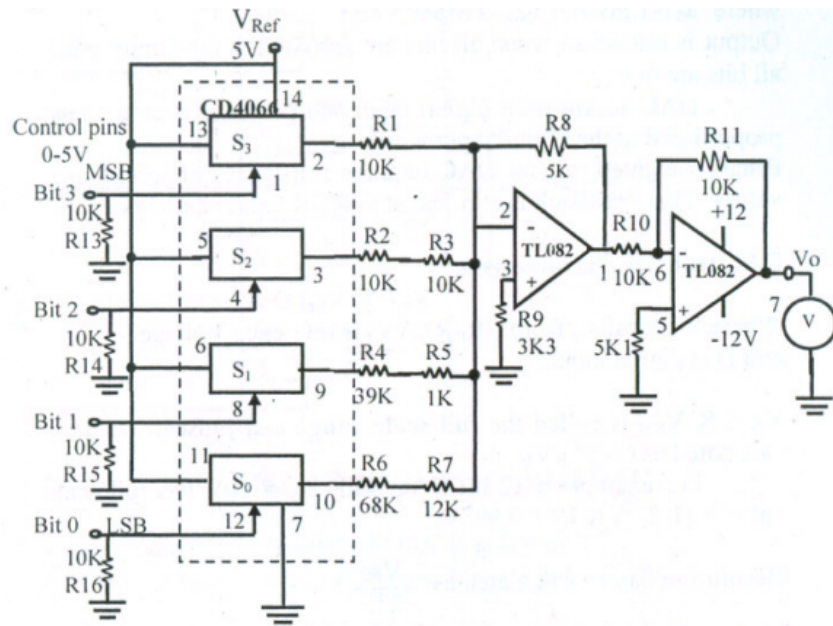
Analog	Output 2	1	0	Decimal	Vin min	Vin max
0V				0		
0,5				1		
1				2		
1,5				3		
2				4		
2,5				5		
3				6		
3,5				7		

Chuyển đổi số sang tương tự

Thang nhị phân

Sau quá trình xử lý, lưu trữ thông tin dạng số thì tín hiệu phải được chuyển đổi sang dạng tương tự để người dùng có thể tương tác. Cũng giống như các bộ chuyển đổi A/D, nhiều kỹ thuật khác nhau được sử dụng để thực hiện chuyển đổi D/A.

Nối dây: 12V(+)-29, GND-30, 12V(-)-31, VM(+)-21, VM(-)-34.



Hình 7.8 Mạch chuyển đổi tín D/A dạng thang nhị phân

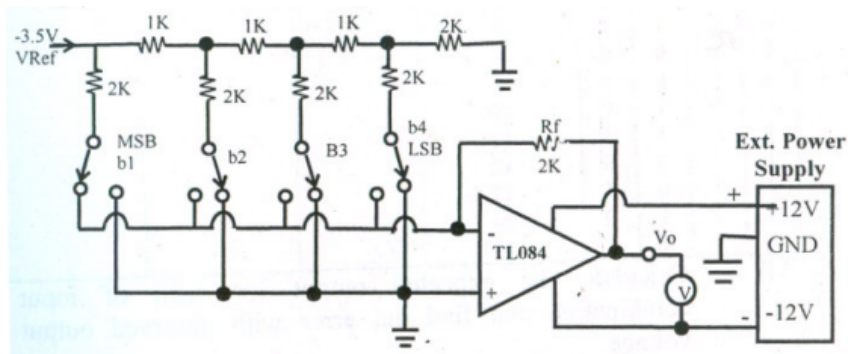
Thực hiện:

- Cấp nguồn
- Thay đổi giá trị đầu vào tương ứng. Lập bảng và ghi lại lỗi ra.
- Nhận xét, kết luận.

Digital b1	b2	b3	b4	Decimal	Analog Vo	Expected Ve	Ve - Vo
0	0	0	0	0			
0	0	0	1	1			
0	0	1	0	2			
0	0	1	1	3			
0	1	0	0	4			
0	1	0	1	5			
0	1	1	0	6			
0	1	1	1	7			
1	0	0	0	8			
1	0	0	1	9			
1	0	1	0	10			
1	0	1	1	11			
1	1	0	0	12			
1	1	0	1	13			
1	1	1	0	14			
1	1	1	1	15			

Thang điện trở

Để giảm thiểu sai số do giá trị điện trở thay đổi theo thang nhị phân, mạch DAC thang điện trở R/2R sử dụng các điện trở có giá trị đồng nhất qua các dải.



Hình 7.9 Mạch chuyển đổi tín D/A thang điện trở

Nối dây: 12V(+)-29, GND-30, 12V(-)-31, VM(+)-38, VM(-)-39.

Thực hiện:

- Cấp nguồn

- Thay đổi giá trị đầu vào tương ứng. Lập bảng và ghi lại lỗi ra.
- Nhận xét, kết luận.

Digital b1	b2	b3	b4	Decimal	Analog Vo	Expected Ve	Ve - Vo
0	0	0	0	0			
0	0	0	1	1			
0	0	1	0	2			
0	0	1	1	3			
0	1	0	0	4			
0	1	0	1	5			
0	1	1	0	6			
0	1	1	1	7			
1	0	0	0	8			
1	0	0	1	9			
1	0	1	0	10			
1	0	1	1	11			
1	1	0	0	12			
1	1	0	1	13			
1	1	1	0	14			
1	1	1	1	15			

